

مدار دو حلقه فازی قفل شده با نویز کم و قابلیت قفل شدن سریع

وحید حیدری^۱، امیرحسین دباغی^۲ و محمدروح اله یزدانی^۳

^۱دانشجوی کارشناسی ارشد دانشگاه آزاد اسلامی واحد اصفهان (خوراسگان)، v.heidari1370@gmail.com

^۲دانشجوی کارشناسی ارشد دانشگاه آزاد اسلامی واحد اصفهان (خوراسگان)، amirhossein.dabaghi@gmail.com

^۳استادیار گروه برق دانشگاه آزاد اسلامی واحد اصفهان (خوراسگان)، m.yazdani@khuisf.ac.ir

چکیده - این مقاله به بررسی مدار پیشنهادی دو حلقه فازی دارای نویز فازی کم و با قابلیت قفل سریع می پردازد. این مدار شامل یک متمرکز کننده فرکانس و یک حلقه قفل فازی می باشد. حلقه قفل فازی تشکیل شده از یک تقسیم کننده فرکانس ۱:۳۲، فیلتر حلقه فعال و یک نوسان ساز با ولتاژ کنترل شده می باشد. محدوده قفل فرکانس از ۱ گیگاهرتز تا ۱۵ گیگاهرتز متغییر است. نویز فازی خروجی 111 dBc/Hz در ۱ مگاهرتز می باشد. در شبیه سازی انجام شده مقادیر توان خروجی، ولتاژ نویز خروجی و نویز VCO اندازه گیری شده است که نسبت به مقادیر اندازه گیری شده در مدار پیشنهادی بهبود یافته اند.

کلید واژه - حلقه قفل فازی - تقسیم کننده فرکانس - قفل فاز دو حلقه ای - نوسان ساز با ولتاژ کنترل شده - نویز

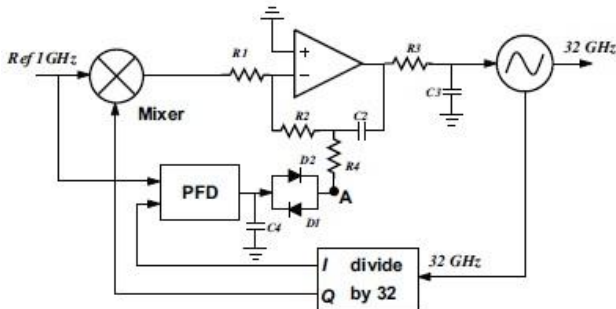
دو حلقوی به همراه دو نوع از تعیین کننده های فازی به طور همزمان باعث کاهش نویز فاز و افزایش سرعت قفل می شود.

۱- مقدمه

۲- ساختار مدار

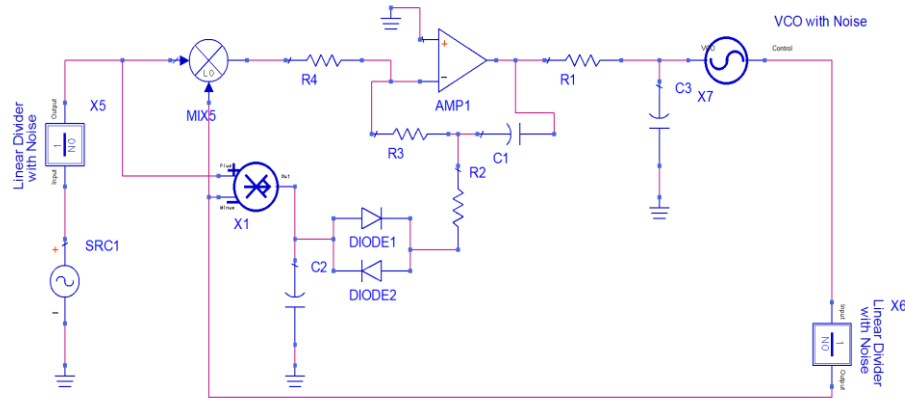
در [1] ساختار، حلقه فاز به صورت حلقه فاز قفل شده خطی سه زمانه است که شامل تعیین کننده فازی مخلوط، نوسان ساز بولتاژ کنترل شده، تقسیم کننده فرکانس ۱:۳۲ و یک فیلتر حلقه فعال می باشد. عملاً در مدار [1]، تغییر ولتاژ خروجی فیلتر حلقه فعال باعث محدودیت گستره حلقه مدار می شود. بنابراین به منظور اطمینان از قفل شدن حلقه فازی تحت هر فرکانس، تغییر ولتاژ خروجی فیلتر حلقه مدار فعال بایستی تمام محدوده ولتاژ نوسان ساز را پوشش دهد.

حلقه های قفل شده فازی [۲] [۳] به خاطر گستره بالای خطای تعیین فازی که در مقایسه با تعیین کننده فازی ترکیبی دارند، برای قفل فرکانس و فاز از تعیین کننده فرکانس فازی سه مرحله ای استفاده می کنند. گرچه به خاطر محدودیت های سرعت موجود برای تعیین کننده های فرکانس فازی از ضریب تقسیم بالا برای حلقه های فازی قفل شده استفاده می شود. در فرکانس های خروجی ثابت ضریب تقسیم کننده ی N نویز فازی را به اندازه $10 \log N$ کاهش می دهد. ضریب تقسیم بالاتر به مراحل تقسیم بیشتری احتیاج داشته و نویز فازی داخلی را هر چه بیشتر افزایش می دهد. عموماً به منظور بهبود نویز موجود در فرکانس های خروجی پایین، پهنای باند حلقه را افزایش می دهند. در این حالت، پهنای باند پایین حلقه، به طور مستقیم موجب افزایش زمان قفل فرکانس و فاز می شود. حلقه فاز قفل شده دو حلقوی [1] دارای این قابلیت می باشد که بتوان در آن فرکانس بالاتر و ضریب تقسیم پایین تر در ترکیب فرکانس مقایسه ای در محدوده موج های میلیمتری استفاده کرد. ساختار



شکل ۱. مدار حلقه قفل فاز [1]

۲۰۲۱ آبان ماه ۱۳۹۴ - دانشگاه آزاد اسلامی واحد اصفهان (خوراسگان)



شکل ۲. مدار شبیه‌سازی شده پیشنهادی دو حلقه فازی [1]

تعیین مقیاس اندوکتانس خطوط نازک فیلم میکرواستریپ راحت‌تر از انداکتورهای مارپیچی است. از انحطاط خازنی به منظور ایجاد مقاومت منفی در داخل مدار استفاده شده است، و از انداکتور پایه برای کامل کردن مدار رزونانس استفاده شده است. به منظور افزایش توان خروجی و جداسازی هسته نوسان ساز با ولتاژ کنترل شده از بار مدار، از مرحله پایه مشترک برای هسته نوسان ساز به عنوان حائل خروجی استفاده شده است. با توجه به نحوه عملکرد هر بخش از حلقه قفل فازی در حالت نویز، می‌توان برای بهبود نویز فازی کلی، پهنای باند مناسبی را برای حلقه مدار انتخاب کرد. همانطور که در شکل ۲ هم مشاهده می‌کنید، نویز فازی حلقه قفل فازی در حالت کاهش فرکانس پایین توسط سیگنال مرجع حذف شده است؛ و در حالت کاهش بیشتر فرکانس، نویز توسط تعیین کننده های فازی و تقسیم کننده ها حذف شده است. نویز فازی خارج از باند حلقه فاز قفل شده، توسط نوسان ساز ولتاژ کنترل شده حذف می‌شود. تعیین کننده فازی نوع ترکیبی با عملکرد نویز بهتر می‌تواند نویز داخل باند فازی را کاهش داده و موجب تسهیل طراحی پهنای باند حلقه بزرگتر شود. در این تحقیق، پهنای باند حلقه تا ۱۵ مگاهرتز افزایش داده شد که این مقدار ۱،۷۰ فرکانس مرجع می‌باشد.

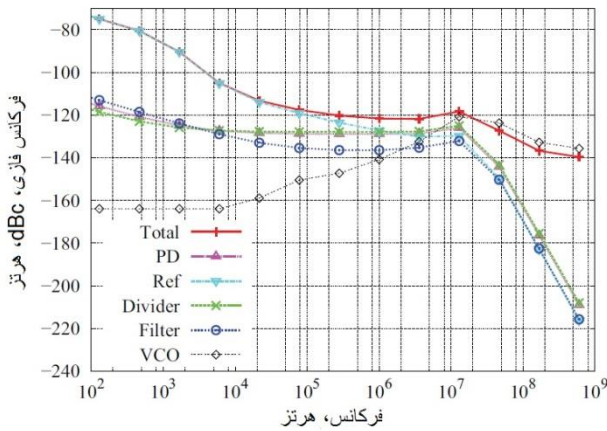
در حلقه قفل شده فازی با فیلتر، دو سیگنال مخالف زمانی می‌توانند قفل شوند که فرکانس مابین محدوده کشش باشد، و علت آن نیز دریافت توان DC محدود توسط فیلتر حلقه مدار است.

از تعیین کننده فرکانس فازی سه مرحله ای برای متمرکز کننده فرکانس حلقه مدار استفاده شده است و می‌تواند خطاهای فازی را تا 4π هم تشخیص دهد. با کمک گرفتن از حلقه متمرکز کننده فرکانس، مدت زمان قفل فاز به میزان قابل توجهی کاهش می‌یابد. اگر در ابتدای فرایند قفل، خطای فرکانس و فاز خارج از محدوده قفل حلقه مدار قفل فازی باشد، حلقه متمرکز کننده فرکانس اولویت عملکرد را به دست می‌گیرد. بعد از قفل شدن حلقه، تعیین کننده فازی مخلوط بر تعیین فاز غالب می‌شود. یک جفت دیود موازی و معکوس با نام های D1 و D2 به عنوان کلید قطع و وصل مابین دو حلقه نصب شده است. در طول فرآیند توقف، هنگامی که ولتاژ خطای فاز در خروجی سه مرحله ای است تعیین کننده فرکانس فازی بیشتر از ولتاژ دیود ها است، کلید در حالت روشن قرار دارد. هنگامی که فاز به مرحله قفل شدگی می‌رسد، خطای فازی در خروجی تعیین کننده فرکانس فاز تقریباً صفر بوده و کلید در حالت خاموش قرار می‌گیرد. در این حالت نویز فرکانس پایین و به خصوص نویز موجود در تعیین کننده فرکانس فاز از حلقه مدار قفل شده حذف می‌شود.

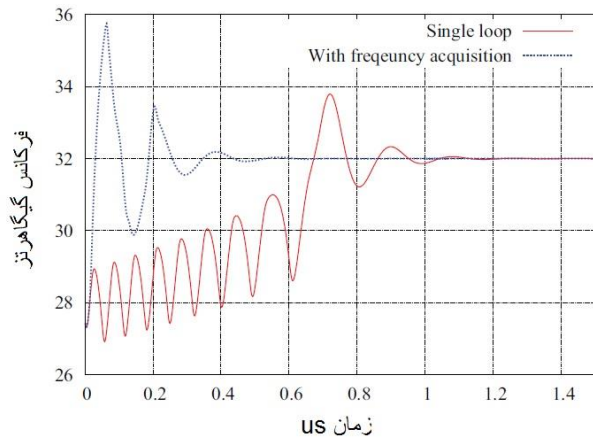
۲-۱- نوسان ساز با ولتاژ کنترل شده

نوسان ساز با ولتاژ کنترل شده همان نوع تغییر یافته ی مقاومت منفی می‌باشد. از واراکتورهای دیود برای تنظیم فرکانس استفاده شده است. برای تولید انداکتورها، از خطوط نازک فیلم میکرواستریپ استفاده شده است. به هنگام تغییر طراحی مدار،

۲۰۲۱ آبان ماه ۱۳۹۴ - دانشگاه آزاد اسلامی واحد اصفهان (خوراسگان)



شکل ۳. نحوه توزیع نویز فازی بین هر بخش از مدار [1]



شکل ۴. رفتار گذرا حلقه قفل فازی با و بدون حلقه جاذب فرکانس [1]

۲-۲- تقسیم کننده و تعیین کننده فرکانس

تقسیم کننده ۳۲ دارای ۵ مرحله است. در [3] مرحله اول یک تقسیم کننده پویا بوده و چهار مرحله دیگر تقسیم کننده های فرکانس ایستا می باشند. تقسیم کننده های فرکانس پویا، دارای عملکرد فرکانسی بالا می باشند، و تقسیم کننده های فرکانس ایستا به نسبت دارای محدوده فرکانس ورودی بالا شکل موج سیگنال خروجی بهتر می باشند. در مرحله قفل شدگی، تعیین کننده فرکانس فازی، دو سیگنال را با خطای فازی ۰° قفل می کند، در حالی که تعیین کننده فرکانس فازی سیگنال ها را با خطای فازی ۹۰° قفل می کند.

از ترکیب کننده گیلبرت [4] به عنوان تعیین کننده فاز حلقه مدار قفل شده استفاده شده است. نویز 1/f خروجی به نویز مدار تغییر یافته است. در HBT ها [5]، نویز 1/f متناسب با ولتاژ متمرکز کننده ها تغییر می یابد. در سلول های ترکیبی گیلبرت،

پس از آن دوسیگنال با کشیده شدن به محدوده قفل به مرحله قفل شدن می رسند. اگر خطای فرکانس اولیه ($\Delta\omega_0$) مابین ۸۰ درصد از محدوده کشش واقع شود، زمان کشش T_P و زمان قفل T_L تقریباً با (1) و (2) برابر خواهد بود:

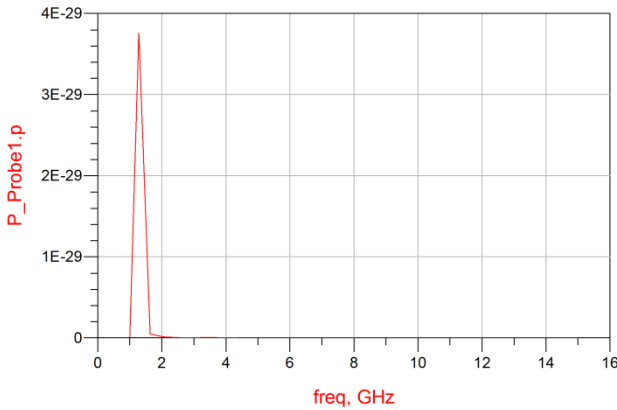
$$T_P = \frac{\pi^2 \Delta\omega_0^2}{16 \zeta \omega_n^3} \quad (1)$$

$$T_L = \frac{2\pi}{\omega_n} \quad (2)$$

که در آن ω_n فرکانس طبیعی حلقه و ζ عامل قطع میرایی می باشد.

در کل مدت زمان کشش از مدت زمان قفل شدگی بیشتر است. رفتار گذرا مانند حلقه در شکل ۳ شبیه سازی شده است. با تغییر فرکانس مرجع از ۸۶۰ مگاهرتز به ۱ گیگاهرتز، فرکانس خروجی نوسان ساز ولتاژ کنترل شده از ۲۷/۵ گیگاهرتز به ۳۲ گیگاهرتز افزایش می یابد. مدت زمان کشش در حدود ۷۰۰ نانو ثانیه می باشد. پس از ۸ چرخه لغزشی، فرآیند کشش تمام شده و فرایند قفل شدن آغاز می شود. زمان قفل شدن در حدود ۱۸۰ نانو ثانیه است که ۲۸ درصد از زمان کشش را تشکیل می دهد.

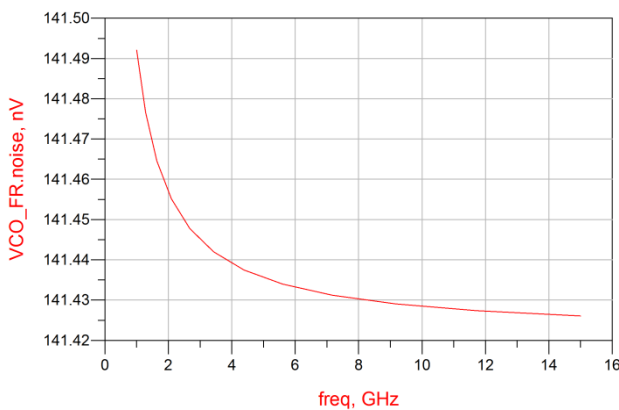
محدوده قفل شدن حلقه با کمک گرفتن از حلقه جاذب فرکانس از $\pi\zeta\omega_n$ به $4\pi\zeta\omega_n$ افزایش می یابد. فرایند کشش سریع تر از حلقه قفل فازی است، زیرا خطای فازی موجود در خروجی تعیین کننده فرکانس فازی، فرکانس نوسان ساز را به طور مستقیم تنظیم می کند. بنابراین فرکانس و زمان قفل فازی همانطور که در شکل ۳ نشان داده شده است، کاهش می یابد. [1] به دلیل اینکه خطای فرکانس بین دو سیگنال مخالف در محدوده قفل شدن حلقه فازی قرار دارد، فرکانس نوسان ساز بر روی فرکانس هدف مستقیماً بدون هیچ چرخه لغزشی قفل می شود. زمان کشش ۰ بوده و زمان قفل در حدود ۱۷۰ نانو ثانیه می باشد. با نصب یک حلقه جاذب فرکانس با استفاده از تعیین کننده فرکانس سه مرحله ای، فرکانس کلی و زمان قفل از ۳/۱ پیکو ثانیه به ۰/۶ پیکوثانیه کاهش می یابد.



شکل ۶. توان خروجی

شکل ۱. مدار پیشنهادی [1] حلقه قفل شده فازی دو حلقه ای را نشان می دهد. در این مدار با زیاد شدن فرکانس در شکل ۵. توان خروجی مدار به شدت کاهش پیدا می کند.

نویز تولید شده بر روی نوسان ساز با ولتاژ کنترل شده (VCO) در شکل ۶. در فرکانس های بالا مثلاً در فرکانس ۱۵ GHz در حدود ۱۴۱.۴۳ nV می باشد که نشان دهنده کاهش نویز در فرکانس های بالا می باشد. ولتاژ نویز خروجی در شکل ۷. در فرکانس های مختلف نویز متفاوتی از خود نشان می دهد.



شکل ۷. ولتاژ نویز VCO

نویز فاز کلی این مدار، می تواند به وسیله ی معادله ی 3، تخمین زده شود [6]

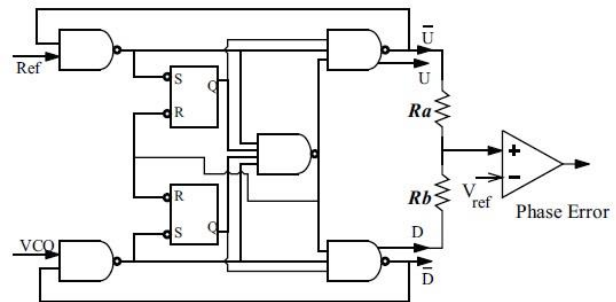
$$PN_{pll} = \left(PN_{ref} + PN_{PD} \cdot \frac{1}{K_0} + PN_{Flt} \cdot \frac{1}{K_0} + \right. \quad (3)$$

$$\left. PN_{Div} \right) \cdot \frac{G}{1+GH} + PN_{VCO} \cdot \frac{1}{1+GH}$$

که PN_{VCO} ، ولتاژهای نویز ذاتی سیگنال مرجع، آشکار ساز فاز، تقسیم کننده ی فرکانس،

جفت کلید های ترکیب کننده نسبت به مرحله هدایت عرضی در خروجی ترکیب کننده، نویز $1/f$ بیشتری تولید می کنند. بنابراین به منظور کاهش نویز $1/f$ ، بایستی سائز ترانزیستور های جفت کلید ها دو برابر سائز کلید های مرحله هدایت عرض انتخاب شوند.

در شکل ۴، تعیین کننده فرکانس فازی سه مرحله ای با استفاده از مدار ECL [1] نشان داده شده است. چون این قسمت در مرحله قفل نهایی حلقه، از مدار جدا می شود، بنابراین می توان از نویز به وجود آمده در تعیین کننده فرکانس فازی سه مرحله ای چشم پوشی کرد. یک حائل به خروجی تعیین کننده فرکانس فازی اضافه شده است. به منظور دستیابی به حداکثر توان جدا کننده، ولتاژ مرجع در ورودی حائل باعث کاهش ولتاژ DC جفت دیودهای ضد موازی می شود.



شکل ۵. تعیین کننده فرکانس فازی سه مرحله ای با استفاده از ECL [1]

۳- مدار پیشنهادی دو حلقه فازی [1]

لازم است تا معمولاً پهنای باند حلقه، برای رسیدن به بهترین کارایی نویز، انتخاب شود. نخست، فرض می شود پهنای باند حلقه، به طور نامحدودی بزرگ باشد، که $GH \gg 1$ است، و نویز فاز کلی، به وسیله ی سایر بلوک های مدار، به جز VCO، تحت تاثیر قرار می گیرد. بنابر معادله ی (۳)، نویز فاز مرجع، آشکار ساز فاز، تقسیم کننده ی فرکانس و فیلتر حلقه، جمع خواهند گشت و به وسیله ی نسبت تقسیم ۳، چند برابر می شوند، که کف نویزی حدودی 120 dBc/Hz ، را نشان می دهد. سپس، پهنای باند یک حلقه ی بهینه، برای جبران فرکانس قرار می گیرد، که VCO، نویز فازی از 120 dBc/Hz را که در حدود 15 MHz است، دارد.

در جدول ۱ عملکرد های اندازه گیری شده در مقایسه با تحقیقات قبلی مشاهده می شود.

۴- نتیجه گیری

برای اثبات عملکرد صحیح مدار از ADS برای شبیه سازی مدار پیشنهادی استفاده شده است. از یک حلقه مدار فازی قفل شده دو حلقه ای در این تحقیق استفاده شده است. بهبود عملکرد نویز فازی و زمان قفل فرکانس فازی مورد بررسی قرار گرفتند. نتایج اندازه گیری ها نشان دادند که این حلقه مدار عملکرد نویز فازی خوبی را نشان داده است که در حدود -111 dBc/Hz در 1 MHz مگاهرتز از فرکانس جایگزین از 32 GHz گیگاهرتز فرکانس نوسانی با محدوده تنظیم $3/9 \text{ MHz}$ گیگاهرتز می باشد. زمان قفل فرکانس فازی با استفاده از تکنیک جذب فرکانس دو حلقه ای، تا 50% درصد کاهش داده شده است.

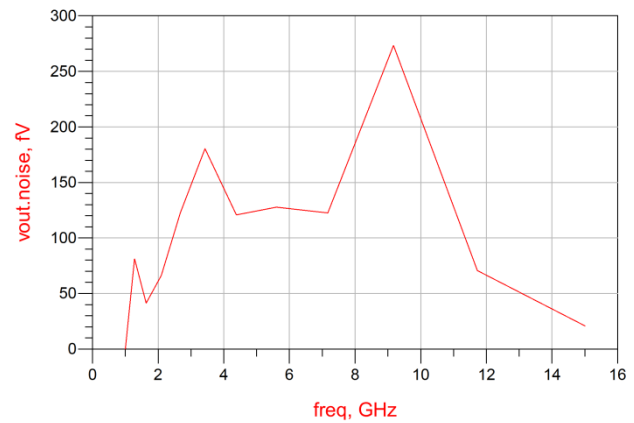
جدول ۱. عملکرد های اندازه گیری شده در مقایسه با تحقیقات قبلی

Reference	[1]	[7]	[2]	This Work
Frequency (GHz)	32	۱۸	۳۲	10
Frequency Range (GHz)	۳-۹	۱-۴	۳-۵	1-15
Phase Noise (dBc/Hz)	-111	-۱۱۰	-۸۱	-106
Power(mW)	524	-	287/5	220

فیلتر عبور کم و VCO، هستند، G، یابش حلقه است و H فاکتور بازخورد است همانطور که در معادله ی (۴) نشان داده شده است:

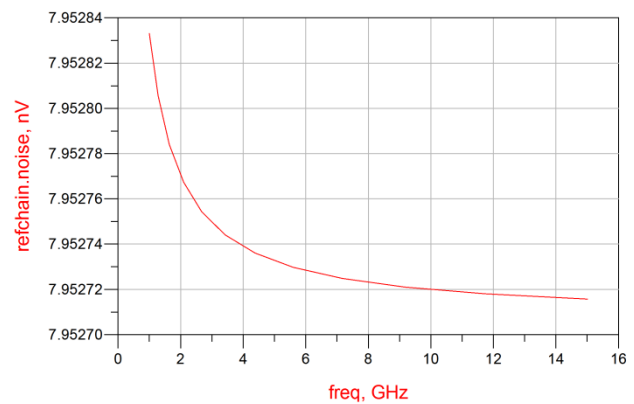
$$G = \frac{K_{VCO}}{s} Z(s) K_{\phi} \quad (4)$$

که K_{ϕ} خطای فاز آشکارساز فاز است و N، نسبت تقسیم کننده ی فرکانس است. خطای فاز شبیه سازی شده K_{ϕ} آشکارساز فاز 1 V/rad می باشد.



شکل ۸. ولتاژ نویز خروجی

نویز refchain [1] نویزی می باشد که بعد از تقسیم کننده فرکانس در ورودی مدار بعد از منبع ولتاژ ورودی ایجاد می شود که در این مدار با زیاد شدن فرکانس، نویز ایجاد شده در refchain کاهش پیدا می کند.



شکل ۹. ولتاژ نویز refchain



چهارمین کنفرانس ملی ایده های نو در مهندسی برق



۲۰۱۲ آبان ماه ۱۳۹۴ - دانشگاه آزاد اسلامی واحد اصفهان (خوراسگان)

(EuMC), pp. 69–72, Sept. 2010.

مراجع

- [1] Xiaolei Gai, Andreas Trasser and Hermann Schumache
Institute of Electron Device and Circuits, University of
Ulm
- [2] O. Richard, A. Siligaris, F. Badets, and C. Dehos, "A 17.5-to-
20.94 GHz and 35-41.88 GHz PLL in 65 nm CMOS fro
Wireless HD Applications," ISSCC Dig. Tech. Papers, no. 7-
11, pp. 252–253, Feb. 2010
- [3] S. Chartier, E. S'onmez, J. Dederer, B. Schleicher, and H.
Schumacher, "Millimeter-Wave Si/SiGe HBT Frequency
Divider Using Dynamic AndStatic Division Stages," Asia-
Pacific Microwave Conference (APMC), pp.1–4, Dec. 2007.
- [4] H. Darabi and A. Abidi, "Noise in RF-CMOS mixers: a
simple Physicalmodel," IEEE Journal of Solid-State Circuits,
vol. 35, pp. 12–25, Jan.2000.
- [5] M. Das, "On the Current Dependence of Low-Frequency
Noise in BipolarTransistors," IEEE Transactions on Electron
Devices, vol. 22, pp. 1092–1098, Dec. 1975.
- [6] D. Banerjee, PLL Performance, Simulation, and Design,
Fourth Edition. Dog Ear Publishing, 2006.
- [7] F. Herzel, S. Osmany, K. Schmalz, W. Winkler, J.
Scheytt, and T. Podrebersek, "An Integrated 18 GHz
fractional-N PLL in SiGe BiCMOS technology for satellite
communications," Radio Frequency IntegratedCircuits
Symposium (RFIC), pp. 329–332, 2009.
- [8] G. Liu, S. Chartier, A. Trasser, and H. Schumacher, "Fully
Integrated
- [9] X. Gai, G. Liu, S. Chartier, A. Trasser, and H. Schumacher, "A
PLL with ultra low phase noise for millimeter wave
applications," EuropeanMicrowave Conference



چهارمین کنفرانس ملی ایده های نو در مهندسی برق



۲۰۲۱ آبان ماه ۱۳۹۴ - دانشگاه آزاد اسلامی واحد اصفهان (خوراسگان)