

ناقل جریان نسل دوم با مقاومت ورودی بسیار پایین

یوسف بلقیس آذر

دانشگاه شهید مدنی آذربایجان، y.belghisazar@gmail.com

چکیده - در این مقاله یک ناقل جریان نسل دوم با مقاومت بسیار پایین معرفی می‌شود که از روش ابتکاری برای پیاده سازی بهره فیدبک جریان مثبت بهره بکار رفته است که باعث مقاومت ورودی ۱.۷ میکرو اهم، پهنای باند ۲.۸ گیگا هرتز، افزایش دقت انتقال جریانی و همچنین مشکل گسترش محدوده جریان دینامیکی را حل کرده است. ولتاژ تغذیه برای این مدار ± 2.5 ولت و جریان تغذیه ۹.۶ میکرو آمپر است که دارای مصرف توانی برابر ۵۲۷ میکرو وات می‌باشد. این ناقل جریان نسل دوم توسط نرم افزار Cadence و با تکنولوژی ۴۵ نانومتر شبیه سازی شده است.

کلید واژه - امپدانس ورودی پایین، مدار آنالوگ حالت جریان، مقاومت کم، ناقل جریان نسل دوم.

از ابتدای ظهور این ناقل جریان تا به امروز تلاش های

زیادی برای بهبود مشخصات این ساختار انجام شده است از جمله این مشخصات می‌توان به کاهش امپدانس ورودی، افزایش مقاومت خروجی، افزایش دقت انتقال ولتاژ و جریان، افزایش پهنای باند، افزایش محدوده دینامیکی ولتاژ و جریان ورودی، کاهش افست، کاهش ولتاژ و توان مصرفی اشاره نمود.

در میان تمامی این مشخصات در این مقاله سعی بر کاهش مقاومت ورودی پایه X داریم. روش های متنوعی برای کاهش مقاومت ورودی بیان شده است که از جمله می‌توان به استفاده از فیدبک مثبت [3] و یا منفی [4]، [5]، [6] و یا استفاده از توامان از مثبت و منفی [7] اشاره نمود و یا می‌توان از ساختارهایی در کلاس AB [8] بهره برد و یا همانند [9] مسیر عبور سیگنال را از مسیر انتقال جریان با ایجاد یک مسیر عبور سیگنال جدید برای انتقال جریان از پایه X به پایه Z جدا نمود و مقاومت ورودی را کاهش داد.

در این مقاله یک ناقل جریان نسل دوم با مقاومت ورودی بسیار پایین معرفی می‌شود که از یک روش ابتکاری برای پیاده سازی فیدبک مثبت جریانی بهره بکار رفته است که باعث کاهش مقاومت ورودی، افزایش پهنای باند و گسترش محدوده جریان دینامیکی می‌شود.

۱- مقدمه

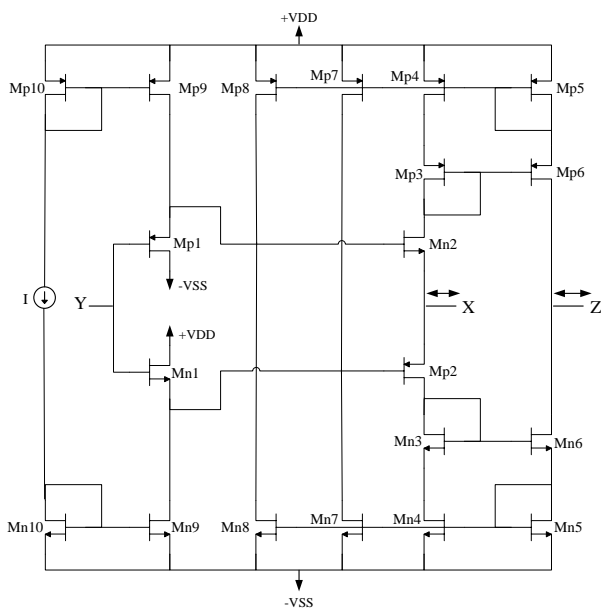
این ناقل جریان نسل دوم در سال ۱۹۷۰ توسط Sedra و Smith معرفی شد که یکی از شناخته شده ترین بلوک های مدارهای آنالوگ حالت جریان است [1]. این بلوک به دلیل قابلیت کار توامان در حالت ولتاژی و جریانی دارای کاربردهای وسیعی است که می‌توان به استفاده از آن برای پیاده سازی انواع تقویت کننده، فیلترها، اسیلاتورها، انواع سنسورها و غیره اشاره نمود.

ناقل جریان نسل دوم یک بلوک سه پایانه ای است. پایانه Y یک پایه امپدانس بالا است در حالی که پایه X یک پایه امپدانس پایین می‌باشد. ولتاژ Y به پایه X منتقل می‌شود $(V_X=V_Y)$. جریانی که به پایه X اعمال می‌شود به پایه Z یک پایه امپدانس بالا است که جهت جریان آن به جهت جریان ورودی پایانه X و نوع ناقل جریان نسل دوم که مثبت $(I_X=+I_Z)$ یا منفی $(I_X=-I_Z)$ باشد، بستگی دارد. رابطه انتقالی ناقل جریان نسل دوم در ماتریس رابطه ۱ نشان داده شده است [2].

$$\begin{bmatrix} I_Y \\ V_X \\ I_Z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} V_Y \\ I_X \\ V_Z \end{bmatrix} \quad (1)$$

۲-۲- ساختار ترانزیستوری

ساختار ترانزیستوری ناقل جریان نسل دوم پیشنهادی در شکل ۲ قابل مشاهده می‌باشد. حلقه تراختی شامل ترانزیستورهای $Mp1$ ، $Mp2$ ، $Mn1$ و $Mn2$ می‌باشد که عمل انتقال ولتاژ از پایه Y به پایه X را فراهم می‌کند و برای افزایش محدوده دینامیکی ولتاژ ورودی درین ترانزیستورهای $Mp1$ ، $Mn1$ به منبع تغذیه متناظر متصل شده‌اند. استفاده از ساختار کلاس AB در طبقه خروجی به کاهش مقاومت ورودی کمک نموده [8] و آینه جریان و بلسون بهبود یافته برای انتقال جریان و افزایش دقت و همچنین افزایش مقاومت خروجی و در نتیجه افزایش پهنای باند جریانی به مدار افزوده شده است که شامل ترانزیستورهای $Mp3 - Mp6$ و $Mn3 - Mn6$ می‌باشد. ترانزیستورهای $Mp7$ ، $Mp8$ ، $Mn7$ و $Mn8$ فیدبک جریانی مثبت را پیاده‌سازی می‌کنند که در نهایت منجر به کاهش پارازیتی پایه X می‌گردند. برای درک عملکرد فیدبک شکل ۳ (الف) را در نظر می‌گیریم که قسمتی از مدار پیشنهادی می‌باشد و مدل سیگنال کوچک آن در شکل ۳ (ب) رسم شده است.



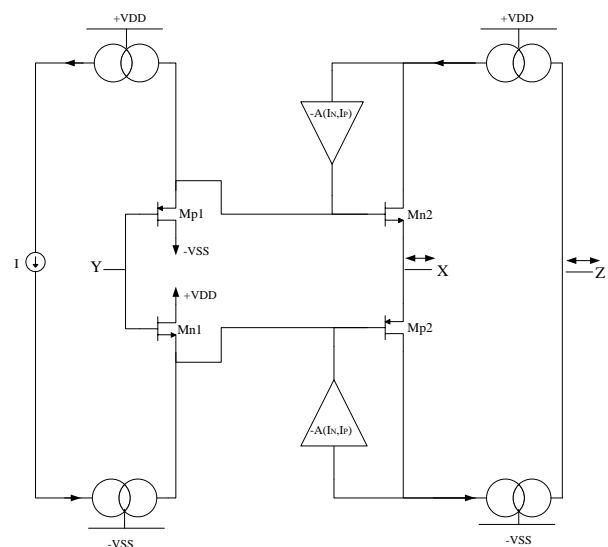
شکل ۲: ساختار ترانزیستوری ناقل جریان نسل دوم پیشنهادی

در قسمت بعد به معرفی ساختار پیشنهادی و تحلیل آن پرداخته و نتایج حاصل از شبیه‌سازی را به همراه مقایسه‌ای با ساختارهای مشابه در بخش سوم ارائه می‌دهیم.

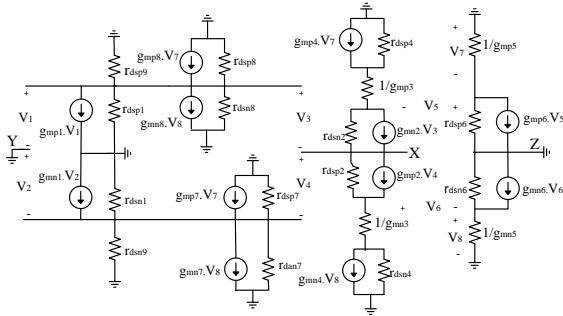
۲- ساختار ناقل جریان نسل دوم پیشنهادی

۱-۲- ساختار بلوکی

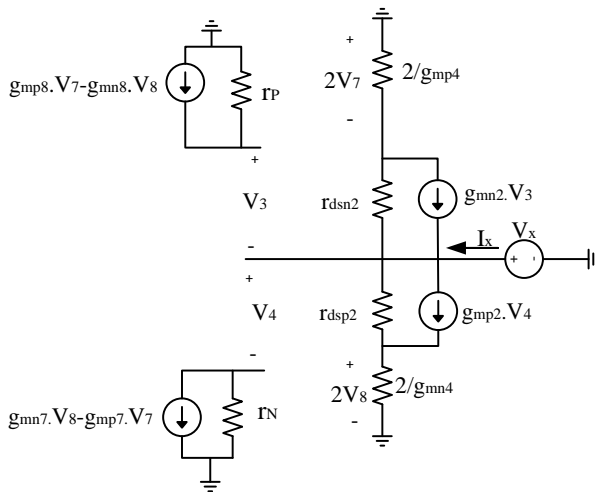
ساختار بلوکی ناقل جریان نسل دوم پیشنهادی که بر مبنای یک حلقه تراختی انتقال ولتاژ را انجام می‌دهد، در شکل ۱ نشان داده شده است و عملکرد مدار بدین صورت است که با استفاده از فیدبک مثبت که تحت تاثیر و کنترل جریان های I_P و I_N می‌باشد مقاومت ورودی این ساختار کاهش داده شده است. جریان های I_P و I_N ناشی از جریان I_X است به صورتی که در صورت ریخته شدن جریان از گره X جریان I_N زیاد شده و جریان I_P کاهش می‌یابد. برعکس در صورت کشیده شدن جریان از گره X جریان I_N کاهش یافته و جریان I_P افزایش می‌یابد. ولتاژ گیت $Mn2$ و $Mp2$ توسط این فیدبک به گونه‌ای تنظیم می‌گردد که با ثابت نگه داشتن نسبی ولتاژ گره ورودی سبب ایجاد مقاومت ورودی پایین می‌گردد. عمل انتقال جریان از پایه X به پایه Z توسط آینه جریان انجام می‌گیرد که با انتخاب آینه جریان با دقت بالا و مقاومت خروجی بزرگ می‌توان عملکرد انتقال جریان را بهبود بخشید.



شکل ۱: ساختار بلوکی ناقل جریان نسل دوم با مقاومت ورودی پایین



شکل ۵: مدار معادل ناقل جریان نسل دوم پیشنهادی



شکل ۶: مدار ساده شده ناقل جریان نسل دوم پیشنهادی

مقاومت ورودی r_p و r_n برای ساختار ساده شده به صورت

زیر است.

$$r_p = r_{dsp8} \parallel r_{dsn8} \parallel r_{dsp9} \parallel r_{dsp1} \parallel \frac{1}{g_{mp1}} \approx \frac{1}{g_{mp1}} \quad (6)$$

$$r_n = r_{dsp7} \parallel r_{dsn7} \parallel r_{dsn9} \parallel r_{dsn1} \parallel \frac{1}{g_{mn1}} \approx \frac{1}{g_{mn1}} \quad (7)$$

r_n و r_p در رابطه (۶) و (۷) مربوط به شکل ۶ جاگذاری می

کنیم و در ادامه روابط بصورت زیر خواهد بود.

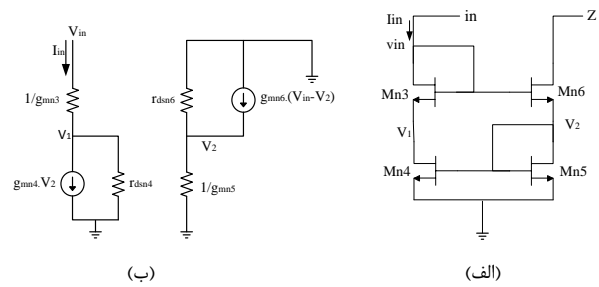
$$-V_x + V_4 + \frac{1}{g_{mn1}} \cdot [g_{mp7} V_7 - g_{mn7} V_8] = 0 \quad (8)$$

$$-V_x - V_3 + \frac{1}{g_{mp1}} \cdot [g_{mp8} V_7 - g_{mn8} V_8] = 0 \quad (9)$$

$$-V_x + 2V_8 + [g_{mn4} V_8 - g_{mp2} V_4] \cdot r_{dsp2} = 0 \quad (10)$$

$$-V_x - 2V_7 + [g_{mp4} V_7 - g_{mn2} V_3] \cdot r_{dsn2} = 0 \quad (11)$$

$$I_x = V_8 \cdot g_{mn4} - V_7 \cdot g_{mp4} \quad (12)$$



شکل ۳: (الف) نمایی از ورودی جریان ساختار پیشنهادی (ب) مدل سیگنال کوچک آن

با نوشتن روابط مدل سیگنال کوچک شکل ۳، روابط (۲) و

(۳) حاکم بر این ساختار بدین صورت خواهد بود.

$$g_{mn5} V_2 + \frac{V_2}{r_{dsn6}} - g_{mn6} (V_{in} - V_2) = 0 \quad (2)$$

$$V_{in} = (I_{in} - g_{mn4} V_2) \cdot r_{dsn4} + \frac{I_{in}}{g_{mn3}} \quad (3)$$

از رابطه (۲) داریم

$$V_2 \cdot [1 + (g_{mn5} + g_{mn6}) \cdot r_{dsn6}] = g_{mn6} \cdot r_{dsn6} V_{in}$$

$$\frac{V_{in}}{V_2} = \frac{1 + (g_{mn5} + g_{mn6}) \cdot r_{dsn6}}{g_{mn6} \cdot r_{dsn6}} \approx 2 \quad (4)$$

از ترکیب رابطه (۱) و (۴) داریم.

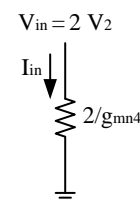
$$V_{in} \cdot \left[1 + \frac{g_{mn4} \cdot r_{dsn4}}{2} \right] = I_{in} \cdot r_{dsn4} + \frac{I_{in}}{g_{mn3}}$$

$$\Rightarrow r_{in} = \frac{V_{in}}{I_{in}} \approx \frac{2}{g_{mn4}} \quad (5)$$

از آنجا که V_2 در فیدبک موثر است و کمک به کاهش

امپدانس می کند، بنابراین مدار معادل شکل ۴ را از رابطه (۵)

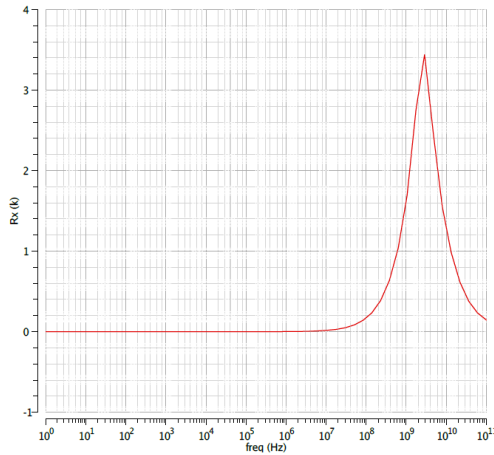
برای تحلیل مدار به کار می بریم.



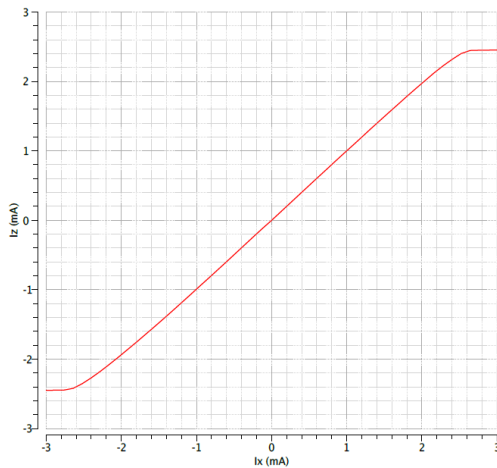
شکل ۴: مدار معادل ورودی

مدار معادل کلی به صورت شکل ۵ می باشد که ساده شده

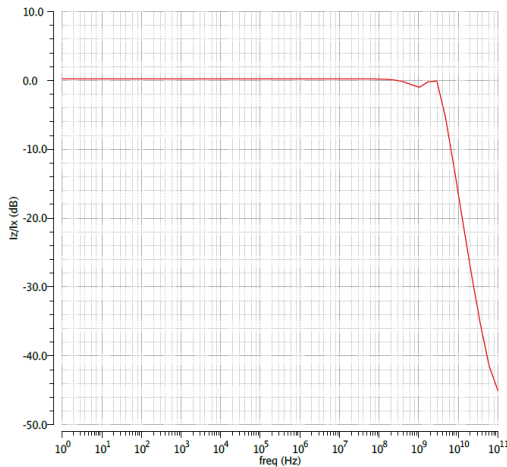
آن در شکل ۶ آورده شده است.



شکل ۷: رفتار فرکانسی مقاومت ورودی پایه X



شکل ۸: رفتار خطی پیروی جریانی میان پایه X و پایه Z



شکل ۹: رفتار فرکانسی انتقال جریان میان پایه X و پایه Z

با جایگذاری و ترکیب روابط (۸)، (۹)، (۱۰)، (۱۱) و

(۱۲) در نهایت به صورت زیر ساده می‌شود.

$$r_x = \frac{V_x}{I_x} = \frac{g_{mn4} \cdot g_{mn1} - g_{mn7} \cdot g_{mp2} - g_{mn8} \cdot g_{mn2}}{[g_{mp2} + g_{mn2}] \cdot g_{mn4} \cdot g_{mn1}} \quad (13)$$

مقاومت ورودی رابطه (۱۳) با تنظیم درست اندازه

ترانزیستورهای مربوطه می‌توان نزدیک به صفر نمود.

۳- نتایج شبیه سازی

در این ناقل جریان نسل دوم توسط نرم افزار Cadence و با

تکنولوژی ۴۵ نانومتر شبیه سازی شده است، ولتاژ تغذیه برای این مدار $\pm 2,5$ ولت و جریان تغذیه ۹,۶ میکرو آمپر در نظر گرفته شده است که دارای مصرف توانی برابر ۵۲۷ میکرو وات می‌باشد. نتایج حاصل از شبیه سازی برای این مدار در ادامه بیان می‌شود.

شکل ۷ رفتار فرکانسی مقاومت ورودی پایه X را نشان می

دهد که در فرکانس پایین معادل ۱,۷ میکرو اهم می‌باشد.

رفتار خطی پیروی جریانی میان پایه X و پایه Z در شکل

۸ نشان داده شده است که بیانگر محدوده دینامیکی وسیع جریانی و خطینگی بالا می‌باشد جریان برای ورودی صفر دارای افست جریانی ۱۳۴ نانو آمپر می‌باشد. در شکل ۹ نیز رفتار فرکانسی انتقال جریان نمایش داده شده است که دارای بهره جریانی ۱,۰۲۴ و پهنای باند ۲,۸ گیگا هرتز می‌باشد.

رفتار خطی پیروی ولتاژی میان پایه X و پایه Y در شکل

۱۰ نشان داده شده است که برای ولتاژ ورودی صفر دارای افست ولتاژ ۵۰,۲ میلی ولت می‌باشد. در شکل ۱۱ نیز رفتار فرکانسی پیروی ولتاژ میان پایه X و پایه Y نمایش داده شده است که دارای بهره ۰,۸۲۴ و پهنای باند ۵,۶ گیگا هرتز می‌باشد.

امپدانس خروجی برای این ناقل جریان نسل دوم برابر

۲,۸۶ مگا اهم است رفتار فرکانسی آن در شکل ۱۲ نشان داده شده است.

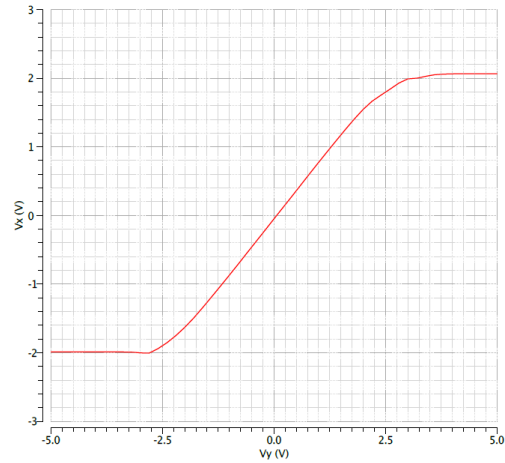
اندازه ترانزیستور در جدول (۱) ارائه شده است و در ادامه

نتایج حاصل از شبیه سازی به همراه مقایسه با چند مدار مشابه در جدول (۲) آورده شده است.

۲۰۲۱ آبان ماه ۱۳۹۴ - دانشگاه آزاد اسلامی واحد اصفهان (خوراسگان)

جدول (۱): اندازه ترانزیستورها

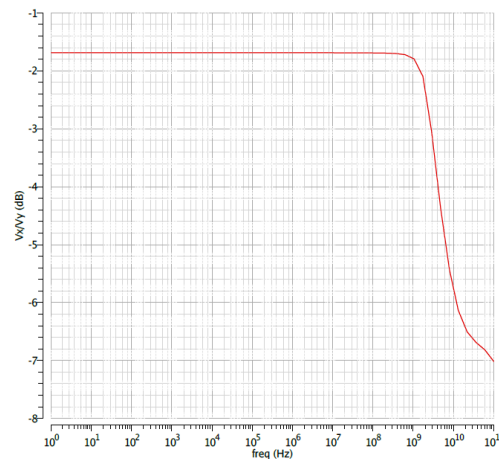
ترانزیستور	پهنای کانال W(μm)	طول کانال L(μm)
Mp1, Mp2	۲,۹	۰,۳
Mn1, Mn2	۵	۰,۳
Mp3, Mp6	۳,۶	۰,۰۶
Mn3, Mn6	۲,۶	۰,۰۶
Mp4, Mp5	۲,۶	۰,۰۶
Mn4, Mn5	۲,۶	۰,۰۶
Mp7	۰,۰۱۲	۰,۳
Mn7	۳	۰,۳
Mp8	۳	۰,۰۶
Mn8	۲	۰,۰۶
Mp9, Mp10	۳	۰,۰۶
Mn9, Mn10	۲,۵	۰,۰۶



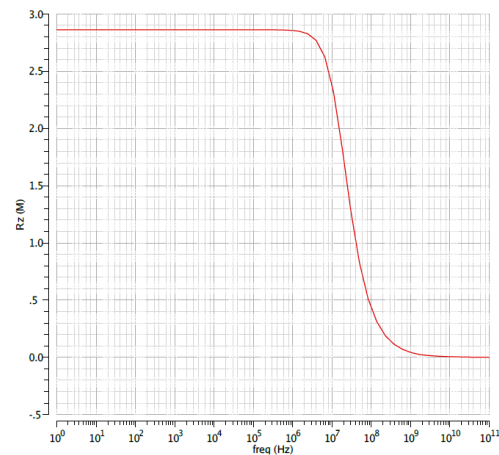
شکل ۱۰: رفتار خطی پیروی ولتاژی میان پایه X و پایه Y

جدول (۲): نتایج حاصل از شبیه سازی به همراه مقایسه با ساختارهای مشابه

پارامتر	این مقاله	مرجع [3]	مرجع [4]	مرجع [8]	مرجع [9]
Rx (Ω)	۱,۷μ	۴۲	۱,۵۵	۱۱,۴	۱۸,۴۷
Rz (MΩ)	۲,۸۶	۲,۲۴	۱۱,۲۵	۷,۲	۰,۰۳۴
بهره جریان	۱,۰۲۴	۰,۹۹۸	۰,۹۹۴	۱	۰,۹۷۶
بهره ولتاژ	۰,۸۲۴	۰,۹۵۳	۰,۹۹۶	۱	۰,۹۶
پهنای باند بهره جریان (GHz)	۲,۸	۰,۰۷	-	۰,۰۱۶	۲,۶
پهنای باند بهره ولتاژ (GHz)	۵,۶	۰,۰۸۷	-	-	۳,۹
محدوده دینامیکی جریان (mA)	-۲ تا +۲	-	-	-	-
محدوده دینامیکی ولتاژ (V)	-۱,۸ تا +۱,۸	-	-۰,۹۸ تا ۰,۵	-۱ تا ۰,۹	-
ولتاژ تغذیه (V)	±۲,۵	±۳,۳	±۱	±۱,۵	±۲,۵
جریان بایاس (μA)	۹,۶	-	-	۱۰	۱۰۰
توان مصرفی (μW)	۵۲۷	۲۲۴۰	۳۰۸	۲۱۰	-
تکنولوژی (μm) CMOS	۰,۰۴۵	۰,۸	۰,۳۵	۰,۳۵	۰,۳۵



شکل ۱۱: رفتار فرکانسی پیروی ولتاژ میان پایه X و پایه Y



شکل ۱۲: رفتار فرکانسی امپدانس خروجی پایه Z

۴- نتیجه گیری

در این مقاله ناقل جریان نسل دوم با مقاومت بسیار پایین طراحی و در نرم افزار Cadence با تکنولوژی CMOS، ۴۵ نانومتر

- [9] Samir Ben Salem, Mourad Fakhfakh, Dorra Sellami Masmoudi, Mourad Loulou, Patrick Loumeau, Nouri Masmoudi, "A high performances CMOS CCII and high frequency applications" *Analog Integrated Circuit Signal Processing*, Vol 49, pp 71-78, (2006).

پیاده سازی شد که مقاومت ورودی ۱,۷ میکرو اهم، پهنای باند بهره جریان ۲,۸ گیگا هرتز و پهنای باند بهره ولتاژ ۵,۶ گیگا هرتز گزارش شد که می تواند ایده ال باشد، بهره جریان و ولتاژ ۱,۰۲۴ و ۸۲۴ می تواند به ترتیب خوب و قابل قبول باشد، در این مقاله به خوبی مشکل محدوده عملکرد دینامیکی جریان و ولتاژ برطرف شده است و همچنین با تغذیه ولتاژ $\pm 2,5$ ولت و بایاس جریان ۹,۶ میکرو آمپر توان مصرفی نسبتاً کمی گزارش شده است.

سپاسگزاری

شکر شایان نثار ایزد منان که توفیق را رفیق راهم ساخت تا این مقاله را به پایان برسانم. از سرکار خانم سعیده فوجی بابت روش ایده پردازی ایشان در این مقاله و از سرکار خانم شیدا رحیم زاده به دلیل یاریها و راهنماییهای بی چشمداشت ایشان که بسیاری از سختیها را برایم آسانتر نمودند سپاسگزارم.

مراجع

- [1] A.S. Sedra and K.C. Smith, "A second generation current conveyor and its application." *IEEE Trans. Circuit Theory*, vol. 17, pp.132-134, 1970.
- [2] Ahmed H. Madian, Soliman A. Mahmoud, Ahmed M. Soliman, "New 1.5-V CMOS second generation current conveyor based on wide range transconductor" *Analog Integrated Circuit Signal Processing*, No. 49, pp.267-279, (2006).
- [3] B. Calvo, S. Celma, P. Martinez, M. T. Sanz., "An improved CMOS Class AB Current Conveyor," *Proceedings of the 44th IEEE 2001 Midwest Symposium on Circuits and Systems*, Vol.1, pp.309-313, 2001.
- [4] C. Di Carlo, A. De Marcellis, V. Stornelli, G. Ferri, D. Tiberio, "A Novel LV LP CMOS Internal Topology of CCII+ and its Application in Current-Mode Integrated Circuits," *PhD Research in Microelectronics and Electronics*, pp. 132-135, (2009).
- [5] O. Oliaei and J. Porte, "Compound current conveyor (CCII+ and CCII-)," *Electronics Letters*, Vol. 33, No. 4, pp. 253-254, 1997.
- [6] O. Oliaei, P. Loumeau, "A low-input resistance class AB CMOS current-conveyor," *IEEE 39th Midwest symposium on Circuits and Systems*, Vol. 1, pp.11-14, 1996.
- [7] L.N. Alves, R.L. Aguiar, "A new method to improve the impedance of the CC-II'S X input," *Proceedings of the 2004 11th IEEE International Conference on Electronics, Circuits and Systems*, pp.73- 76, 2004.
- [8] Giuseppe Ferri · Vincenzo Stornelli · Mauro Fragnoli, "An integrated improved CCII topology for resistive sensor Application" *Analog Integrated Circuit Signal Processing*, No. 48, pp.247-250, (2006).