

یک تقویت کننده عملیاتی کاملاً تفاضلی ولتاژ پایین و توان پایین با پهنای باند ۳۰۸ مگا هرتز برای کاربردهای سوئیچ خازنی

حسین علی پوریبیکدرویشی^۱، مجید قندچی^۲

^۱ دانشجوی کارشناسی ارشد برق الکترونیک، دانشگاه آزاد اسلامی، واحد اهر، اهر، ایران، hosen.alipour@yahoo.com

^۲ عضو هیات علمی گروه برق و الکترونیک، دانشگاه آزاد اسلامی، واحد اهر، اهر، ایران، majd.ghandchi@gmail.com

چکیده - در این طرح یک تقویت کننده کاملاً تفاضلی ولتاژ پایین و توان پایین با استفاده از فیدبک مثبت پیشنهاد شده است که میتواند بهره DC، فرکانس بهره واحد و زمان نشست تقویت کننده را بهبود بخشد. تقویت کننده پیشنهادی میتواند در فیلترهای سوئیچ خازنی بکار گرفته شود. این تقویت کننده در تکنولوژی ۱۸۰ نانومتر CMOS و ولتاژ تغذیه ۱/۲ ولت طراحی شد. نتایج شبیه سازی بر اساس نرم افزار HSPICE، بهره DC برابر ۶۲ دسی بل، پهنای باند بهره واحد ۳۰۸ مگا هرتز و توان مصرفی برابر ۵۱۰ میکرو وات را نشان میدهد. کلید واژه- تقویت کننده عملیاتی (Op-Amp)، سوئیچ خازنی (SC)، فیدبک مثبت، ولتاژ پایین و توان پایین.

۱- مقدمه

سوئیچ خازنی (SC) می باشد. آنها میتوانند در بسیاری از کاربردها از قبیل تبدیل داده (هم در مبدل های آنالوگ به دیجیتال نرخ نایکوئیستی و هم در مبدل های آنالوگ به دیجیتال فرا نمونه برداری شده)، فیلترهای آنالوگ، واسطهای سنسور و غیره بکار برده شوند.

بهره بالا، دقت، و سرعت بالا دو ویژگی مهم مدارات آنالوگ می-باشد. گونه های مختلفی از سیستم های سیگنال آنالوگ و مخلوط عملکردی دارند که توسط رفتار زمان نشست تقویت کننده CMOS محدود می شود. این مدارات عبارتند از فیلترهای سوئیچ خازنی، مبدلهای آنالوگ به دیجیتال الگوریتمی، مبدلهای سیگما-دلتا، مدارات نمونه بردار و نگه دار و مبدلهای آنالوگ به دیجیتال پایپ لاین [۱-۳] رفتار نشست تقویت کننده عملیاتی دقت و سرعتی را که میتوان دست یافت تعیین می کند. نشست سریع به رفتار نشست تک قطبی و حاصلضرب بهره-پهنای باند بالا نیاز دارد [۱-۲]. دقت بالا نیاز به بهره DC بالا دارد. وظیفه Op-Amp سریع با بهره DC بسیار بالا مساله بسیار دشواری است. فرکانس بهره واحد بالا، سرعت بالا، نیازمند طراحی طبقه واحد با ادوات کانال کوتاه بایاس شده با سطوح جریان بالا می باشد [۲، ۴، ۵]. Op-amp بهره DC بالا را میتوان با استفاده از یک یا چند روش زیر پیاده سازی نمود. این روش ها عبارتند از کسکود نمودن طبقات بهره با اعمال روش بایاسینگ دینامیک، یا استفاده از روش افزایش امپدانس خروجی. کسکود نمودن دو

مدارات سوئیچ خازنی نقش مهمی را در سیستم های آنالوگ و دیجیتال به ویژه در مدارات مجتمع ایفا می نمایند. در این کاربردها، اغلب، یک پردازش سیگنال دیجیتال پیچیده با ورودی ها و خروجی های دنیای واقعی مورد ارتباط واقع می شود. چنین کاربردهایی شامل مودم های صوتی، هارد دیسک ها، مجموعه گیرنده های تلویزیونی و گیرنده های بی سیم و غیره می باشد. برای این حجم بالای کاربردهای اختصاص داده شده، هزینه ها اغلب مهم ترین عامل می باشند. افزایش سطح مجتمع سازی سیگنال مخلوط، ابزاری در کاهش هزینه های ساخت، بسته بندی، و هزینه های آزمایش این محصولات می باشد. تکنولوژی CMOS ثابت نموده که مقرون به صرفه ترین تکنولوژی برای دستیابی به سطح با مجتمع سازی بالا میباشد.

یکی از محدودیت های اصلی تکنولوژی های CMOS امروزی، محدودیت ولتاژ منبع تغذیه می باشد، که توسط ولتاژ شکست پیوند پروسه و اکسید گیت نازک محدود می شود، و منجر به تنش ولتاژ و شکست می شود. همچنین، در برخی از کاربردها منبع تغذیه خارجی ممکن است ولتاژ تغذیه را محدود کند. برای مثال این منبع ممکن است یک باتری ۱/۲ ولت با یک انتهای عمر تنها ۰/۹ ولت باشد.

در مدارات آنالوگ و آنالوگ-دیجیتال مخلوط، تکنیک های مداری اغلب برای پردازش سیگنال آنالوگ براساس طبقات

دست می‌دهند. راه حل های هزینه بر مانند استفاده از ادوات خاص می باشد. روش نهایی برای افزایش بهره با استفاده از روش فیدبک مثبت است. فیدبک مثبت توانایی به دست آوردن بهره DC خیلی زیاد را، بطور ایده آل بهره بی نهایت، بدون تاثیرگذاری بر روی عملکرد فرکانس بالا ارائه می دهد. مفهوم استفاده از فیدبک مثبت، همچنین با عنوان هدایت منفی نیز شناخته شده است، به منظور افزایش بهره تقویت کننده در چندین مقاله ارائه شده است. بسیاری از ساختارهای پیشنهادی مشخصه های مشترک تولید مقاومت منفی را با فیدبک از گره خروجی به اشتراک می‌گذارند که به منظور جبران سازی نمودن مقداری مقاومت مثبت در خروجی برای دست یابی به بهره DC خیلی زیاد می باشد. به منظور نشان داده این ایده، نمونه ای ساده توسط Allstot پیشنهاد شده است [۳]. مدارات سوئیچ خازنی، سوئیچ های MOS، تقویت کننده های عملیاتی (op-amp) و خازنها را به عنوان المان های اصلی استفاده می کنند. در کاربردهای تبدیل آنالوگ به دیجیتال، مقایسه کننده ها نیز استفاده می شوند. برای ولتاژهای تغذیه زیر ۱/۵ ولت، طراحی این المان ها بسیار چالش برانگیز می شود. هدف این مقاله، تحقیق بر روی تحقق تقویت کننده عملیاتی ولتاژ پایین برای مدارات سوئیچ خازنی بخصوص فیلترهای سوئیچ خازنی می باشد. براین اساس، پس از بررسی بر روی ساختارهای مختلف تقویت کننده های عملیاتی، یک تقویت کننده عملیاتی با توان مصرفی کم و بهره بزرگتر از ۵۰ دسی بل و فرکانس بهره واحد ۳۰۰ مگا هرتز پیشنهاد خواهیم داد. مابقی این مقاله بصورت زیر سازماندهی میشود. در بخش دوم اصول و مبانی طرح پیشنهادی ارائه میشود. در بخش سوم نتایج شبیه سازی ارائه شده و در بخش چهارم با بحث و نتیجه گیری به اتمام میرسد.

۲- طرح پیشنهادی

گرچه پیاده سازی های تقویت کننده های فیدبک مثبت در مقالات نشان داده شده اند [۱، ۶]. یک باور گسترده وجود دارد که از سیستم هایی که از فیدبک مثبت استفاده می کنند باید اجتناب کرد از آنجاییکه حساسیت به شرایط محیطی و پروسه ممکن است آنها را ناپایدار کند [۸-۷]. این تصور غلط بر این پایه

طبقه یا بیشتر منجر به بهره DC خیلی زیاد میشود. اما جبران سازی مناسب برای عملکرد پایدار بطور جدی عملکرد فرانس بالا را محدود خواهد نمود [۲]، [۱]. روش دوم، روش بایاسینگ دینامیک، گزارش شده تا بهره DC بالا و سرعت نشست سریع را ترکیب کند [۴]. اما در تقویت کننده های بایاس شده بطور دینامیک و در طی آخرین پریود نشست، بهره DC خیلی بالا خواهد بود که نشست کند می شود. تقویت کننده های بایاس شده بطور دینامیک به خاطر این ایراد مقبولیت محدودی دارند [۲]، [۱]. علاوه بر این تقویت کننده بایاس شده بطور دینامیکی تک طبقه ممکن است بهره کافی فراهم نکند و کسکود کردن آنها نیز مشکل می باشد [۴]. علاوه بر این سرعت آنها با این واقعیت که پریود کلاک باید به حد کافی طولانی باشد تا انتقال بار را تضمین کند تا بطور کافی در یک سیکل تکمیل شود. سومین روش افزایش بهره DC، افزایش امپدانس خروجی آن می باشد. این روش با کسکود کردن یا پشته کردن ترانزیستورها در گره خروجی با استفاده از روش gain-boosting یا با استفاده از هدایت منفی و روش فیدبک مثبت به انجام می رسد. کسکود کردن روش معروفی برای افزایش امپدانس خروجی تقویت کننده می باشد که در آن امپدانس خروجی تقویت کننده، بهره، متناسب با مربع یا مکعب بهره ذاتی ترانزیستور gm/go می باشد. یک مرحله از کسکود کردن بهره DC کافی را فراهم نم یکنند. سه تقویت کننده کسکود شده سوئیچینگ خیلی محدودی دارد و به مدارات ولتاژ پایین قابل اعمال نیست. علاوه بر این هنگامیکه به سمت پروسه های زیر میکرون عمیق نزدیک می شویم، مقاومت ذاتی ترانزیستور کوچکتر و کوچکتر میشود که مزیت کسکود نمودن را محدود میکند. افزایش بهره تقویت کننده توسط روش gain-boosting یکی از موفق ترین روش های افزایش بهره تقویت کننده بدون محدود نمودن عملکرد فرکانس بالا می باشد [۲]. با این حال، تقویت کننده های بوستینگ قطب ها و صفرهای خودشان را به تقویت کننده نهایی اضافه می کنند که در اصل قرینه صفر-قطب را عرضه میکند که نشست تقویت کننده را کند میکند. از آنجاییکه صنعت به سمت استفاده از پروسه های CMOS جدید حرکت میکند روشهای کسکود نمودن و Gain-boosting قابلیت‌هایشان را در ارائه بهره DC خیلی زیاد، به دلیل اینکه ترانزیستورها هدایت خروجی بالایی دارند، از

$$R_{\text{total}} = R_{\text{out}} \parallel -R = \frac{R_{\text{out}} \times R}{R - R_{\text{out}}} \quad (۳)$$

با توجه به رابطه فوق اگر قدر مطلق مقدار مقاومت R خیلی نزدیک به R_{out} (و بزرگتر از آن) باشد مقدار مقاومت کل R_{total} افزایش یافته و مقدار بهره کل تقویت کننده افزایش خواهد یافت. مدار شکل ۱ (ب) برای تحقق مقاومت منفی پیشنهاد میشود که دو بار با اتصال تقاطعی می باشد که بصورت فیدبک مثبت متصل شده و مقدار مقاومت دیده شده از دو سر خروجی آن یک مقدار منفی برابر $-R$ خواهد بود.

به دلیل اینکه ساختار پیشنهادی یک ساختار تفاضلی می باشد به یک مدار فیدبک مد مشترک (CMFB) نیاز خواهد داشت. در شکل ۱ (ج) شماتیک مدار فیدبک مد مشترک برای تقویت کننده پیشنهادی نشان داده شده است که ولتاژ dc خروجی را در مقدار V_{ref} قرار می دهد. به منظور داشتن ماکزیمم سوئیچینگ خروجی، مد مشترک خروجی در $V_{\text{dd}}/2$ قرار می گیرد. در این مدار CMFB، ولتاژ خروجی تقویت کننده پیشنهادی توسط شبکه مقاومتی میانگین گیری شده و با مقدار V_{ref} مقایسه می - شود. سیگنال حاصله، بایاس ترانزیستور منبع جریان M_0 را تنظیم کرده و ولتاژ dc خروجی را در حدود V_{ref} قرار می دهد.

برای جبران سازی هر گونه تغییرات در PVT (پروسه، ولتاژ، درجه حرارت) و یا شرایط عملیاتی که ولتاژهای بایاس را از مقادیر نامی شان تغییر می دهند از مدار بایاس ترانزیستوری استفاده کرده ایم که وظیفه آن تولید ولتاژهای بایاس تقویت کننده پیشنهادی می باشد. در تقویت کننده پیشنهادی به غیر از ولتاژ تغذیه V_{dd} هیچ منبع ولتاژ ایده آل دیگری استفاده نشده و همگی بصورت ترانزیستوری پیاده سازی شده اند. ساختار مدار بایاس پیشنهادی برای تقویت کننده مورد نظر در شکل ۱ (د) نشان داده شده است.

بنا نهاده شده که تقویت کننده های مستقل یا استفاده از فیدبک مثبت جزئی ناپایدار می شوند اگر فیدبک مثبت خیلی زیاد اعمال شود. اما، این تقویت کننده ها به ندرت در چنین مفهومی استفاده شده اند. در عمل، آنها تقریباً همیشه در یک پیکربندی فیدبک منفی جاسازی شده یافت می شوند که در آن پایداری آنها یک مسئله نیست.

در ادامه نشان خواهیم داد که چگونه فیدبک مثبت می تواند برای افزایش بهره DC یک تقویت کننده بدون قربانی کردن سرعت عمل آن بکار برده شود. اگر چه این مفهوم قابل اجرا به دیگر کاربردها است، در اینجا بر روی کاربردهای انتقال بار از قبیل فیلترهای سوئیچ خازنی یا مبدل های داده تمرکز خواهد شد.

در شکل ۱ (الف) هسته اصلی تقویت کننده پیشنهادی نشان داده شده است. همانطور که در شکل ۱ (الف) مشاهده می شود این یک تقویت کننده تفاضلی CMOS مرسوم در مدارات آنالوگ می باشد [۱۱، ۱۲]. این مدار برای ارائه بهره ولتاژ استفاده میشود که مقدار بهره آن به شدت به مقاومت خروجی ترانزیستورهای NMOS و PMOS بستگی دارد. مقاومت خروجی نیز به طول کانال ماسفت بستگی دارد. رابطه بهره تقویت کننده تفاضلی بصورت زیر می باشد:

$$A_v = g_{m1,2} r_{\text{on}} \parallel r_{\text{op}} \quad (۱)$$

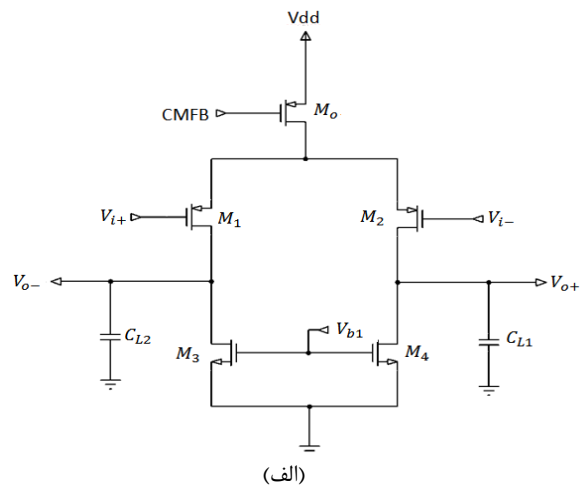
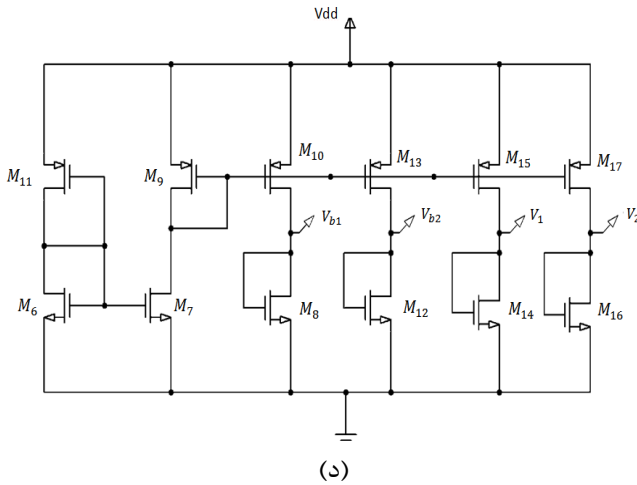
از مرجع [۱۱]، ارتباط میان r_{on} ، r_{op} و $V_{\text{DS,sat}}$ برای یک ماسفت که در ناحیه اشباع کار میکند بصورت زیر می باشد:

$$r_o \propto \frac{L^2}{V_{\text{DS,sat}}^2} \quad (۲)$$

بر اساس رابطه (۲)، یک MOSFET با طول کانال کوتاه تر منجر به مقاومت خروجی کمتر میشود. بنابراین بهره سیگنال کوچک تقویت کننده تفاضلی نیز کمتر می باشد.

برای افزایش بهره تقویت کننده تفاضلی نشان داده شده در شکل ۱ (الف) فرض میکنیم که یک مقاومت منفی در خروجی این تقویت کننده بطور موازی قرار می گیرد. اگر مقاومت خروجی تقویت کننده را قبل از اعمال مقاومت منفی برابر R_{out} در نظر بگیریم با موازی شدن مقاومت منفی $-R$ با آن مقاومت کل تقویت کننده شکل ۱ (الف) بصورت زیر خواهد شد:

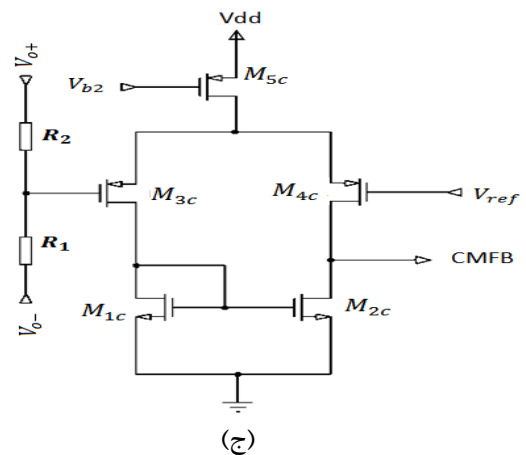
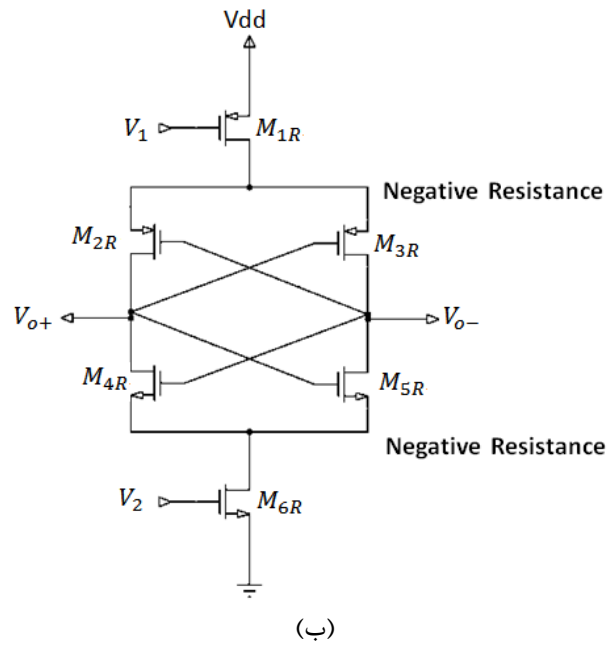
۲۰۲۰ آبان ماه ۱۳۹۴ - دانشگاه آزاد اسلامی واحد اصفهان (خوراسگان)



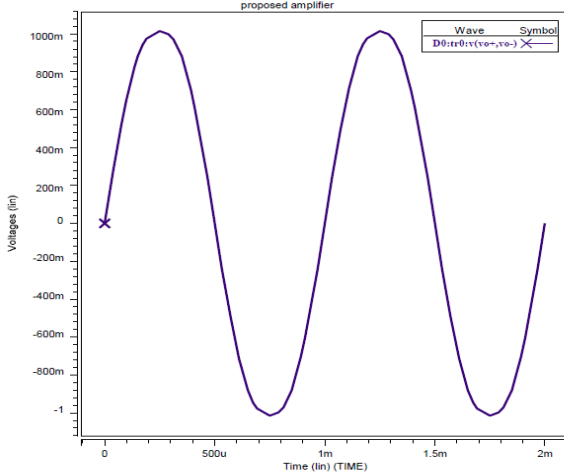
شکل ۱: شماتیک تقویت کننده تفاضلی پیشنهادی؛ (الف) تقویت کننده اصلی، (ب) مدار مقاومت منفی (ج) مدار فیدبک مد مشترک (CMFB)، (د) مدار بایاس

۳- نتایج شبیه سازی

تقویت کننده عملیاتی پیشنهادی در پروسه 180nm CMOS و با ولتاژ تغذیه ۱/۲ ولت طراحی و شبیه سازی شد و خازن بار در خروجی تقویت کننده ۱ پیکو فاراد در نظر گرفته شد. آنالیزهای های DC، AC، ترانزیست، زمان نشست، PSRR و سایر پارامترهای مهم تقویت کننده مورد شبیه سازی قرار گرفته و شکل موجهای خروجی در ادامه نشان داده شده اند. پاسخ فرکانسی مدار در شکل (۲) نشان داده شده است. در شکل (۲) نمودار بهره خروجی و نمودار فاز خروجی بصورت لگاریتمی ترسیم شده اند. با توجه به نتایج حاصله از آنالیز AC؛ بهره ۶۱/۸۸ دسی بل برای فرکانسهای نزدیک به صفر، فرکانس بهره واحد ۳۰۸/۳۷ مگا هرتز (در جایی که بهره به مقدار صفر دسی بل میرسد)، فرکانس قطع 3dB برابر ۲۴۷/۵۲ کیلو هرتز (در جایی که مقدار بهره ۳ دسی بل پایین تر می آید) و حد فاز ۸۹ درجه (از محل تلاقی فرکانس بهره واحد و نمودار بهره) مشخص است.

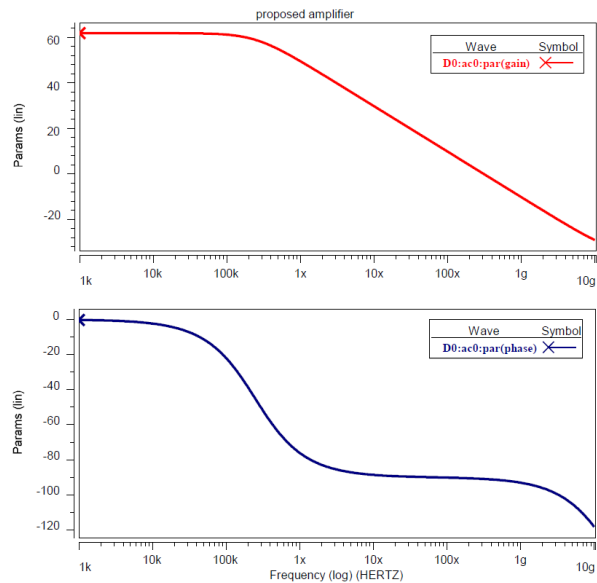


کننده ۲ ولت می باشد و بنابراین در هر خروجی میتوانیم ۱ ولت سوئینگ داشته باشیم.



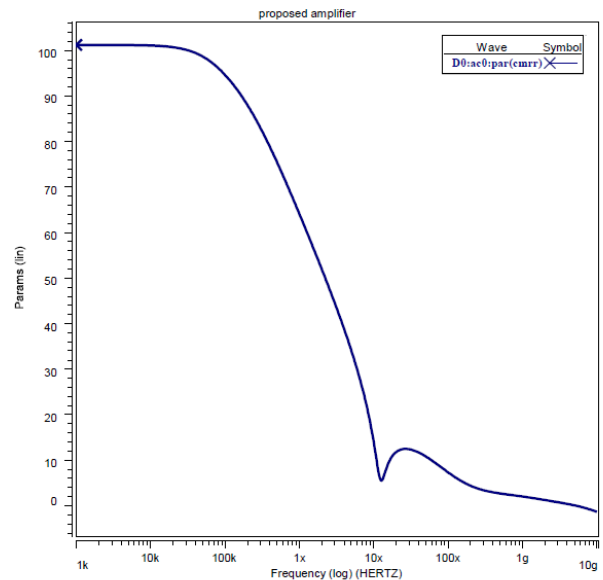
شکل ۴: سوئینگ ولتاژ خروجی تقویت کننده پیشنهادی

PSRR توانایی یک تقویت کننده در حذف کردن نویز ریپل از خط تغذیه است. این به عنوان ضریب شایستگی مطرح می شود. برای اندازه گیری این فاکتور تقویت کننده را بصورت بهره واحد بسته و به ورودی مثبت تقویت کننده تنها ولتاژ بایاس و به خط تغذیه یک سیگنال AC با دامنه ۱ ولت سری با تغذیه مدار اعمال میکنیم. سپس یک آنالیز AC انجام داده و نسبت بهره V_{dd}/V_{o} را بر حسب دسی بل بر حسب فرکانس ترسیم می نماییم با اینکار $PSRR+$ بدست می آید. برای $PSRR-$ نیز سیگنال AC به خط V_{ss} اعمال میشود و مطابق روند گفته شده در بالا عمل میشود. نتیجه در شکل های (۵) و (۶) نشان داده شده است. واضح است که $PSRR+$ و $PSRR-$ برای این تقویت کننده پیشنهادی برای فرکانس های پایین به ترتیب ۹۸ دسی بل و ۱۰۹ دسی بل می باشد. زمان نشست تقویت کننده (settling-time) با توجه به شکل (۷)، حدود ۸ نانو ثانیه می باشد.



شکل ۲: پاسخ فرکانسی تقویت کننده پیشنهادی

پاسخ فرکانسی $CMRR$ تقویت کننده پیشنهادی در شکل (۳) نشان داده شده است. این پارامتر بصورت $CMRR = A_d/A_c$ تعریف می شود و نسبت بهره مد تفاضلی به بهره مد مشترک می باشد. $CMRR$ برای این تقویت کننده برابر ۱۰۱ دسی بل می باشد.



شکل ۳: پاسخ فرکانسی تقویت کننده پیشنهادی برای $CMRR$

سوئینگ خروجی تقویت کننده پیشنهادی در شکل (۴) نشان داده شده است. واضح است که سوئینگ تفاضلی این تقویت

با سایر کارهای قبلی با استفاده از ضریب شایستگی مورد ارزیابی قرار گرفته است.

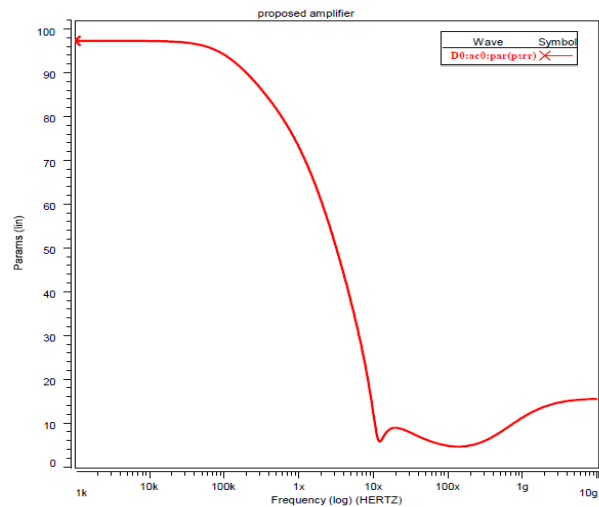
جدول ۱: مقایسه تقویت کننده پیشنهادی با سایر کارهای قبلی

Parameter	Ref. [13]	Ref. [14]	Ref. [9]	Ref. [10]	This Work
Technology	90nm CMOS	180nm CMOS	90nm CMOS	90nm CMOS	180nm CMOS
Supply Voltage (V)	1.2	1.8	1	1	1.2
DC Gain	70	72.2	69.6	107	62
Unity gain frequency (MHz)	2500	1100	416.7	651	308
Phase Margin (deg.)	60	58	57.3	58	89
Output Voltage Swing (Vp-p)	0.5	2	1.2	1.2	2
Settling Time (ns)	-	-	3.8	5	8
CL (pF)	0.3	10	1	2	1
Power (mW)	20	6	2.1	6.5	0.510
FoM (MHz.pF/mW)	375	1833	199	200	603

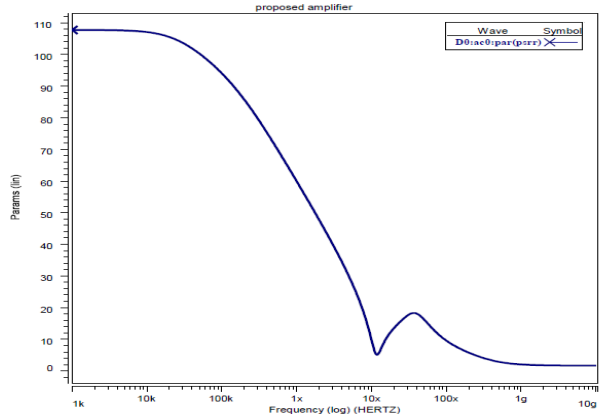
۴ - نتیجه گیری

رشد سریع در تکنولوژی و علم، مهندسان الکترونیک را وادار ساخته تا تکنولوژی های زیر میکرون را به منظور بهبود سرعت و کم کردن توان مصرفی پیاده سازی کنند. چالش اصلی به منظور دستیابی به این الزامات محدودیت ولتاژ، عملکرد نویز و کاهش توان می باشد. یکی از المان های اصلی پیاده سازی شده در مداراتی از قبیل مبدل های داده، فیلترها و سوئیچ خازنی تقویت کننده عملیاتی می باشد. چندین ساختار برای تقویت کننده های عملیاتی پیشنهاد شده اند اما تعداد معدودی از آنها برای استفاده در پروسه های زیر میکرون مناسب می باشند که در آنها توان مصرفی پایین یک الزام اساسی می باشد.

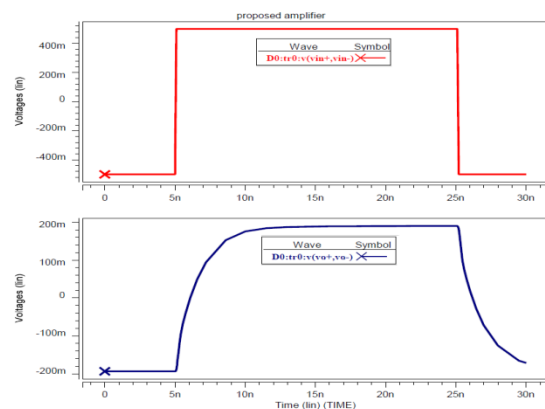
در این مقاله یک تقویت کننده عملیاتی کاملاً تفاضلی ولتاژ پایین و توان پایین با بهره بزرگتر از ۵۰ دسی بل و فرکانس بهره واحد بزرگتر از ۳۰۰ مگا هرتز پیشنهاد شده است که میتواند در مدارات سوئیچ خازنی بکار گرفته شود. این ساختار با اینکه یک طبقه می باشد ولی به دلیل استفاده از فیدبک مثبت بهره آن افزایش یافته است.



شکل ۵: اندازه گیری PSRR+ تقویت کننده پیشنهادی



شکل ۶: اندازه گیری PSRR- تقویت کننده پیشنهادی



شکل ۷: اندازه گیری زمان نشست تقویت کننده پیشنهادی

در جدول (۱) مقایسه ای مابین طرح پیشنهادی و سایر کارهای پیشین صورت گرفته است و شایستگی تقویت کننده پیشنهادی

مراجع

- [1] C. Laber, and P. Gray, A Positive-Feedback Transconductance Amplifier with Applications to High-Frequency, High-Q CMOS Switched-Capacitor Filters, IEEE J. Solid-state Circuits, vol. 23, no. 6, Dec. 1988, PPI 370-1 378.
- [2] K. Bult, and G. Geelen, A Fast-Settling CMOS Op Amp for SC Circuits with 90-dB DC Gain, IEEE J. Solid-State Circuits, vol. 25, no. 6, Dec. 1990, pp1379-1384.
- [3] D. Allstot, A Precision Variable Supply CMOS Comparator, IEEE J. Solid-state Circuits, SC-17, no. 6, 1982, pp 1080- 1087.
- [4] B. Hosticka, Dynamic CMOS Amplifiers, IEEE J. Solid-State Circuits, vol. SC-15, no. 5, Oct. 1980, pp887-894.
- [5] B. Kamath, R. Meyer, and P. Gray, Relationship Between Frequency Response and Settling Time of Operational Amplifiers, IEEE J. Solid-state Circuits, vol. SC-9, no. 6, Dec. 1974, pp347-352.
- [6] S. Franco, Design with Operational Amplifiers and Analog Integrated Circuits. New York, NY: McGraw Hill, 2001.
- [7] R. Wang and R. Harjani, Partial Positive Feedback for Gain-Enhancement of Low-Power CMOS OTAs, Analog Integrated Circuits and Signal Processing, No. 8, pp. 21-35, 1995.
- [8] R. Gregorian, Introduction to CMOS Op-Amps and Comparators. New York, NY: Wiley, 1999.
- [9] S. Mirhosseini, A. Ayatollahi, A Low-Voltage, Low-Power, Two-Stage Amplifier for Switched-Capacitor Applications in 90 nm CMOS Process. IEEE. 2010; 6 (4) :199-204.
- [10] A.S. Khansarizadeh, Mirhosseini S.H., Mehregan S., A low-voltage, high-gain CMOS operational amplifier for switched-capacitor application in a digital 90nm CMOS process, in Instrumentation & Measurement, Sensor Network and Automation (IMSNA), 2012 International Symposium on, vol.1, no., pp.76-79, 25-28 Aug. 2012.
- [11] R. Jacob Baker, CMOS: Circuit Design, Layout, and Simulation, Wiley-IEEE Press, 2nd Edition, 2005.
- [12] B. Razavi, Design of Analog CMOS Integrated Circuits, McGraw-Hill Edition, 2001.
- [13] Berntsen Ø., Wulff C. and Ytterdal T., High speed, high gain OTA in a digital 90nm CMOS technology, Proc. of the 23th NORCHIP Conference, Oulu, Finland, pp. 99-102, Nov. 2005.
- [14] D. Meganathan, A. Sukumaran, S. Moorthi and R. Deepalakshmi, A systematic design approach for low-power 10-bit 100 MS/s pipelined ADC, Microelectronics Journal, Vol. 40, pp. 1417-1435, 2009.