

طراحی یک ثبت کننده ۱۶ کاناله بهینه

مریم پورحسینی^۱ - خسرو رجب پور مقدم^۱

^۱دانشگاه آزاد اسلامی، واحد بجنورد، گروه مهندسی برق، ایران
rajabpourm@bojnourdiau.ac.ir

چکیده - در این مقاله ایده جدیدی برای نحوه چینش کانال‌ها در ثبت کننده‌های چند کاناله ارائه می‌شود. برای تقسیم بندی بهینه کانال‌ها در حوزه زمان دو پارامتر نویز هم‌شنوایی و توان مصرفی لحاظ می‌شود. بطوریکه با بدست آوردن رابطه نویز هم‌شنوایی و توان مصرفی و ترسیم آنها بر حسب تعداد کانال‌های چینش زمانی (Time division multiplexing) به ترکیب بندی بهینه‌ای می‌رسیم. برای سنجش صحت ایده، یک ثبت کننده ۱۶ کاناله طراحی و شبیه سازی می‌شود. بطوریکه در این طرح کانال‌ها به ۴ دسته ۴ کاناله تقسیم و هر دسته پس از چیده شدن در حوزه زمان توسط یک ADC به دیجیتال تبدیل و در حافظه‌ای ذخیره می‌شوند. واحد کنترل و حافظه در تراشه Spartan 3 - Xilinx پیاده سازی می‌شوند. حداکثر فرکانس کاری قسمت دیجیتالی دستگاه ۱۶۰ MHz و حافظه سیستم ۴ K بایت می‌باشد. کلید واژه - ثبت کننده اطلاعات، FPGA

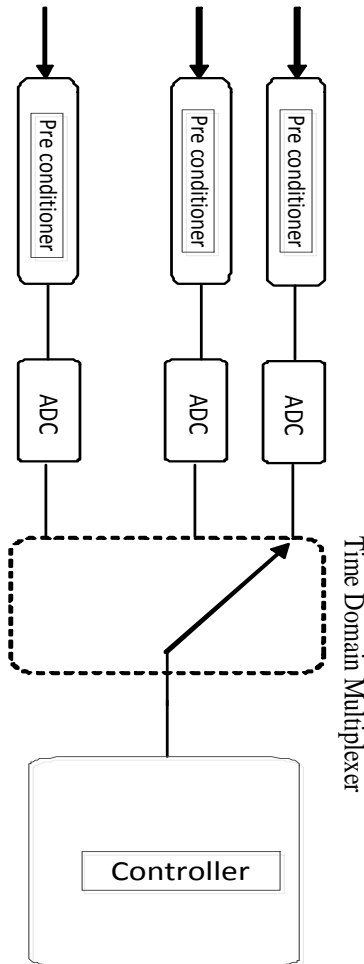
۲- ساختار متفاوت ثبت کننده‌ها

برای ثبت کننده‌های چند کاناله ساختارهای متفاوتی را می‌توان متصور شد. ساده ترین ساختار مالتی پلکس کردن کانال‌های ورودی در حوزه زمان و سپس تبدیل کانال‌های مالتی پلکس شده ورودی به دیجیتال می‌باشد. بلوک دیاگرام این معماری در شکل (۱) آمده است. علاوه بر معماری ساده این ساختار، نویز هم‌شنوایی مالتی پلکسر یک پارامتر محدود کننده برای افزایش تعداد کانال‌ها است. مقاومت روشن و خاموش ترانزیستورهای مالتی پلکسر آنالوگ به همراه خازن‌های پارازیتی منشا اصلی پدیده نویز هم‌شنوایی مالتی پلکسر آنالوگ است [1][2]. نرخ نمونه برداری محدود مبدل ADC عامل محدود کننده دیگر افزایش تعداد کانال‌ها می‌باشد. مثلاً برای ثبت اطلاعات ۱۰۰ کانال که با فرکانس نمونه برداری ۳۰ kS/s با دقت ۱۶-۱۲ بیت نمونه برداری می‌شود، نیازمند سرعت نمونه برداری با نرخ ۴۸-۳۶ Mb/s هستیم. عملاً رسیدن به این چنین سرعتی با کمک ADC‌های معمول مشکل است. برای حل این مشکل می‌توان ساختار دیگری در نظر گرفت با توجه به شکل (۲)، بطوریکه در این ساختار هر کانال بطور مجزا و با مبدل ADC منحصر به فرد خود به دیجیتال تبدیل شود. بکار بردن این گزینه در مواردی که تعداد کانال‌ها زیاد است مقرون نمی‌باشد. بطور مثال برای ثبت ۱۰۰ کانال نیاز به ۱۰۰ مبدل ADC می‌باشد

۱- مقدمه

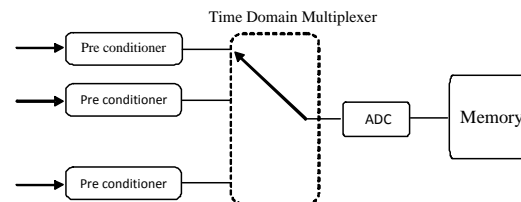
ثبت کننده‌های اطلاعات چند کاناله وظیفه ثبت و بازیابی اطلاعات را بر عهده دارند. ورودی این سیستم‌ها ذاتاً می‌تواند سیگنال‌های آنالوگ و یا دیجیتال و یا ترکیب آن دو باشد. اطلاعات آنالوگ می‌تواند از سنسورهای دما، فشار و ... و اطلاعات دیجیتالی می‌تواند از ترنس‌میتورهای دیجیتالی دریافت شوند. عملکرد ثبت کننده‌ها در برخی موارد نظیر تولیدکننده‌های مواد شیمیایی مثل پتروشیمی‌ها و سیستم‌های ناوبری مثل هواپیما و موشک‌ها بسیار حساس می‌باشد. پارامترهای زیادی برای سنجش عملکرد سیستم ثبت اطلاعات دخیل می‌باشند که از آن جمله می‌توان به تعداد کانال، نرخ نمونه برداری، رزولوشن ثبت سیگنال‌های آنالوگ، زمان ثبت اطلاعات و نویز هم‌شنوایی اشاره نمود. در ثبت کننده‌های اطلاعات چند کاناله سیگنال‌های ورودی (کانال‌های ورودی) آنالوگ ابتدا توسط بلوک پیش مهیا سازی (Preconditioner) در صورت لزوم تقویت، فیلتر و حذف نویز می‌شوند. پس از این عملیات کانال‌ها در صورت نیاز ابتدا برای کاهش تعداد خطوط داده توسط مالتی پلکسر آنالوگ در حوزه زمان مالتی پلکس شده و سپس توسط مبدل‌های آنالوگ به دیجیتال (ADC) به دیجیتال تبدیل می‌شوند.

که توان تلفاتی و ابعاد و قیمت تمام شده این گزینه غیر منطقی می باشد. برای حل این مشکل نیازمند مصالحه ایی بین تعداد مبدل ها و مالتی پلکس کردن کانال ها هستیم.



شکل (۲) نمونه برداری توسط ADC منحصر به کانال

برای نزدیکتر کردن نتایج شبیه سازی با مقادیر عملی ابتدا لازم به انتخاب یک تراشه مبدل ADC و مالتی پلکسر است. از میان انواع مبدل های ADC بعلت نرخ نمونه برداری و توان مصرفی، مبدل SAR (Successive approximation register) برای کاربرد ثبت اطلاعات نسبت به بقیه انواع مبدل ها مناسب می باشد [2] [3] [4]. در اینجا برای شروع از مشخصات تراشه AD7467 که یک مبدل از نوع SAR می باشد و توان تلفاتی ۰/۲۱ mW دارد را برای شبیه سازی انتخاب شده است [5]. در شبیه سازی از توان تلفاتی مالتی پلکسر در برابر مبدل ADC صرفنظر شده است. همچنین از مشخصات تراشه ADG774 که یک مالتی پلکسر ۴ به یک به همراه مقاومت روشن و خاموش به



شکل (۱): ساختار مالتی پلکس کردن کانال ها و نمونه برداری توسط یک ADC

۳- بهینه سازی

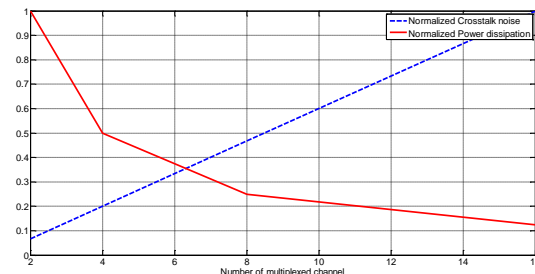
حالت دیگری بین دو حالت مذکور می توان متصور شد. بدین گونه که ابتدا کانال ها به چند دسته تقسیم شده و هر دسته ابتدا توسط یک مالتی پلکسر آنالوگ بطور جداگانه TDM و سیگنال TDM شده توسط یک مبدل ADC منحصر به خود به دیجیتال تبدیل و نهایتا برای ذخیره سازی به قسمت های دیگر ارسال گردند. افزایش تعداد کانال در TDM کاهش مبدل ADC را به همراه دارد و باعث کاهش توان تلفاتی می گردد اما از سویی باعث افزایش نویز همشنوایی می گردد. برای یافتن نقطه بهینه که مصالحه ایی بین دو پارامتر نویز همشنوایی و توان مصرفی است می توان جایی که حاصل ضرب این دو پارامتر به حداقل می رسد را نقطه بهینه در نظر گرفت. ما در اینجا هدف خود را طراحی ثبت کننده ۱۶ کاناله قرار می دهیم.

مدیریت می کند. برای هر خروجی ADC یک حافظه RAM با ظرفیت ۱ kByte اختصاص داده شده است. علاوه بر ۴ حافظه RAM برای ذخیره کانال ها دو حافظه RAM با ظرفیت یکسان برای ذخیره زمان نمونه برداری نیز در نظر گرفته شده است. این سیستم در دو مد عملکرد می تواند فعالیت کند که شامل مد نمونه برداری و مد باز گرداندن اطلاعات می شود. از آنجاییکه زبان Verilog تنها قادر به شبیه سازی قطعات دیجیتال است برای مدل کردن مالتی پلکسر آنالوگ از مالتی پلکسر دیجیتال ۸ بیتی و مبدل ADC از خط تاخیر ۸ بیتی با خطوط start و enable استفاده می شود. اطلاعات خروجی از یک مالتی پلکسر ۸ به یک ۸ بیتی دریافت می شوند. نحوه ارسال اطلاعات با دو بایت ۸ بیتی صفر آغاز و پس از آن دو بایت زمان نمونه برداری و نهایتاً مقادیر ۱۶ کانال ورودی در ۴ نوبت ارسال می گردند. شکل (۴) خروجی نرم افزار را نشان میدهد. در این شکل mode در حالت صفر و یک به ترتیب باعث قرار گیری سیستم در مد نمونه برداری و باز سازی می شود. در این شبیه سازی به کانال های adc1-16 به ترتیب اعداد صفر الی ۱۵ اعمال شده است. adc4 خروجی ADC ها و se خط انتخاب مالتی پلکسرهای ورودی است.

ترتیب ۲/۲ اهم و ۶/۹ کیلو اهم است برای محاسبه نویز همشنوایی کمک گرفته شده است [6]. برای محاسبه نویز همشنوایی از رابطه (۱) استفاده می کنیم.

$$CT = \frac{Ron+Rout}{\frac{Roff}{N-1}+Ron+Rout} \quad (1)$$

در رابطه مذکور $R_{on}, R_{off}, R_{out}, N$ به ترتیب تعداد ورودی ها، مقاومت خروجی طبقه پیش مهیا سازی، مقاومت خاموش و مقاومت روشن مالتی پلکسر آنالوگ است. با توجه به مطالب مذکور منحنی های نرمالیزه شده توان تلفاتی (توان تلفاتی ADC ها) و نویز همشنوایی مالتی پلکسر برای دسته بندی های ۱۶، ۸، ۴، ۲ کانال مالتی پلکس شده در شکل (۳) ترسیم گشته است. همانگونه که این شکل نشان می دهد منحنی خط چین و خط پر مربوط به نویز همشنوایی و توان تلفاتی می باشد. با مراجعه به شکل مذکور، انتخاب ۴ و ۸ کانال مالتی پلکس شده می تواند انتخاب بهینه باشد.



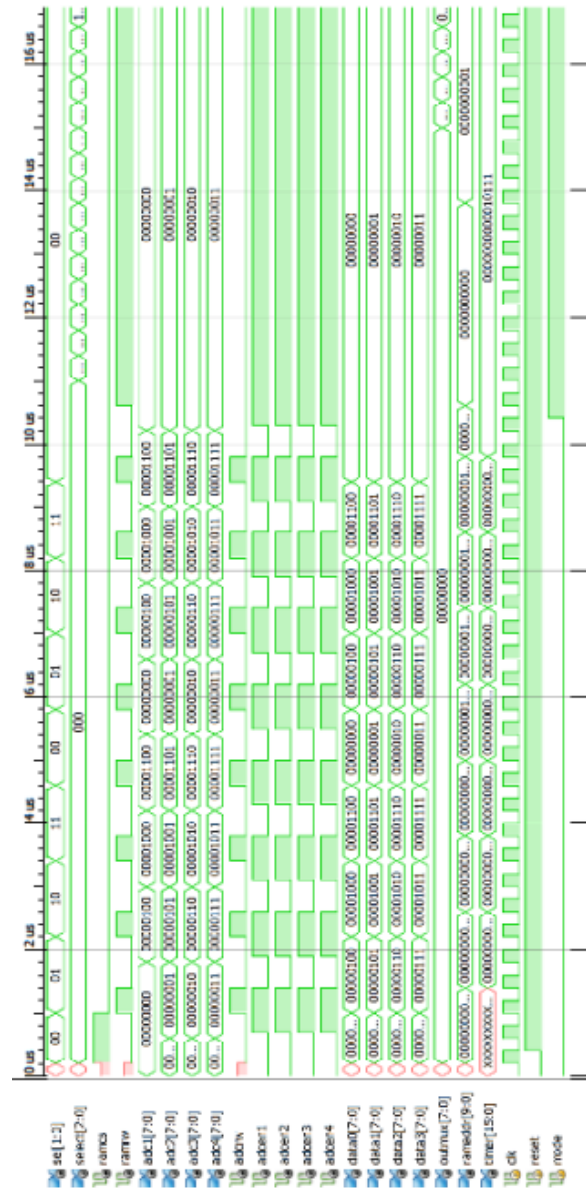
شکل (۳): توان تلفاتی و نویز همشنوایی بر حسب تعداد کانال های مالتی پلکس شده

۴- شبیه سازی ثبت کننده

در ادامه کار یک ثبت کننده ۱۶ کاناله توسط زبان Verilog در محیط نرم افزار ISE با کمک تراشه Spartan3-Xilinx شبیه سازی شده است. برای این کار کانال ها ابتدا به ۴ دسته ۴ تایی تقسیم شده و هر دسته توسط یک مبدل ADC هشت بیتی منحصر به خود به دیجیتال تبدیل و سپس برای ذخیره سازی به یک حافظه RAM منتقل می شوند. در این ثبت کننده واحد کنترلی طراحی شده است تا عملیات راه اندازی مالتی پلکسر ها، نمونه برداری توسط ADC ها و نهایتاً ذخیره سازی اطلاعات را

مراجع

- [1] M. Chae, W. Liu “Design Optimization for Integrated Neural Recording Systems” IEEE Journal of Solid-State Circuits. 10/2008;43(9):1931 - 1939.
- [2] Data acquisition handbook. Published 2004-2012 in the United States of America ; third edition.
- [3] Ali M. Zargar ByTeam Number 7Nila Barot. “Successive Approximation Analog to Digital Converter” .san jose state university. April 30, 2010.
- [4] D.A.johns and k.martin.analog integrated circuit design.new York:john wiley and sons,inc. 1997.
- [5] .Fastest data rates smallest packages lowest power. 2005–2006 Edition. www.analog.com/serialADCs
- [6] www.analogdevice.com



شکل (۴): خروجی شبیه سازی ثبت کننده ۱۶ کاناله

۵- نتیجه گیری

در این مقاله ضمن بررسی چالش های موجود در انتخاب ترکیب بندی ساختار ثبت کننده ها به نقطه بهینه ای که مصالحه ای بین توان تلفاتی و نویز همشنوایی است دست یافته شد. برای صحت شبیه سازی یک ثبت کننده ۱۶ کاناله توسط زبان Verilog شبیه سازی گشته است.